

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : Naoki MATSUOKA, et al.
Filed: : Concurrently herewith
For: : SCHEDULING METHOD AND
Serial No. : Concurrently herewith



#2

Assistant Commissioner for Patents
Washington, D.C. 20231

October 9, 2001

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is **JAPANESE** patent application no. **2001-034339** filed **February 9, 2001** whose priority has been claimed in the present application.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,

A large, stylized handwritten signature in black ink, written over a horizontal line. The signature is cursive and appears to be "Samson Helfgott".

Samson Helfgott
Reg. No. 23072

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: FUJI 19.063
TELEPHONE: (212) 940-8800

日 本 国 特 許 庁
JAPAN PATENT OFFICE

11000 U.S. PRO
09/973628
10/09/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。 押

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2001年 2月 9日

出 願 番 号
Application Number:

特願2001-034339

出 願 人
Applicant(s):

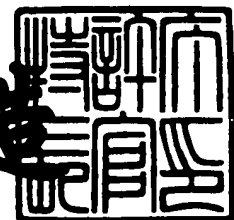
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3074004

【書類名】 特許願

【整理番号】 0052405

【提出日】 平成13年 2月 9日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04L 12/56

【発明の名称】 スケジューリング方法及びその装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 松岡 直樹

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 朝永 博

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 瓦井 健一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 永田 将克

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン

プレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スケジューリング方法及びその装置

【特許請求の範囲】

【請求項 1】 複数の入力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先入力回線の最優先出力回線が第 1 優先で処理される処理順序に従って全入力回線のスケジューリング処理を並列に処理し、スケジューリングサイクル毎に最優先入力回線および各入力回線の最優先出力回線を更新することを特徴とするスケジューリング方法。

【請求項 2】 請求項 1 記載のスケジューリング方法において、
前記最優先入力回線および各入力回線の最優先出力回線を更新する際に、パケットの存在する回線を優先的に選択することを特徴とするスケジューリング方法。

【請求項 3】 複数の入力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先入力回線の最優先出力回線が第 1 優先で処理される処理順序に従って全入力回線のスケジューリングを並列に処理するスケジューリング処理手段と、

スケジューリングサイクル毎に最優先入力回線および各入力回線の最優先出力回線を更新する優先回線更新手段とを

有することを特徴とするスケジューリング装置。

【請求項 4】 請求項 3 記載のスケジューリング装置において、
前記優先回線更新手段は、最優先入力回線および各入力回線の最優先出力回線を更新する際に、パケットの存在する回線を優先的に選択することを特徴とするスケジューリング装置。

【請求項 5】 請求項 4 記載のスケジューリング装置において、
前記優先回線更新手段は、前記最優先出力回線がスケジューリングできない場合には、前記各入力回線の最優先出力回線を更新する際に、当該最優先出力回線を更新しないことを特徴とするスケジューリング装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、スケジューリング方法及びその装置に関し、特に、入力バッファ型スイッチにおいて効率の良いパケット読み出しを実現するスケジューリング方法及びその装置に関する。

【0002】

【従来の技術】

近年、インターネットトラフィックの増加に伴い、インターネットバックボーンネットワークの大容量化が求められている。これに伴って、バックボーンネットワークに設置されるネットワークノードは、テラビットを超えるスイッチング容量が必要とされている。

【0003】

現在、大容量ノードを実現する手段として、メモリアクセス時間の短縮が可能な入力バッファ型スイッチが有望視されている。入力バッファ型スイッチ構成は、パケットバッファを各入力回線に配備しているため、パケットバッファを実現するメモリアクセス速度が低速であり、ハードウェアの実現が容易であるメリットを持つ。

【0004】

しかし、スイッチ部にパケットバッファを配備していないため、異なる入力回線が同一時刻に同一出力回線宛てにパケットを送出しないようにスケジューリングを行う必要がある。このため、スケジューリング処理により各バッファで待ち合わせが必要となり、効率の良いスケジューリングが実現できなければスループットの低下を招く恐れがある。入力バッファ型スイッチにおけるスケジューリング処理に関して、これまでに様々なアルゴリズムが提案されている。

【0005】

図1は、従来のスケジューリング方法の一例の説明図を示す。図中、丸印が付いているものが要求ありを示し、スケジューリングが確定した状態を梨地の丸印で示している。

【0006】

図1（A）に示す入力回線#0～#3のうち、任意の入力回線からスケジュー

リングを開始し、入力回線毎に順次未確定の出力回線をラウンドロビン方式で選択するスケジューリングを行い、また公平なスケジューリングを実現するためにスケジューリングサイクル毎に処理順序を固定的に巡回させている。例えば、第 1 スケジューリングサイクルでは、図 1 (B) に示すように入力回線 # 2, 入力回線 # 3, 入力回線 # 0, 入力回線 # 1 の順にスケジューリングを行い、次の第 2 スケジューリングサイクルでは、図 1 (C) に示すように入力回線 # 3, 入力回線 # 0, 入力回線 # 1, 入力回線 # 2 の順にスケジューリングを行う。

【 0 0 0 7 】

図 2 は、従来のスケジューリング方法の他の一例の説明図を示す。この方法は、処理時間の短縮を図るために、入力回線間のスケジューリング対象が異なる処理順序に従い N 個の入力回線の処理を並列に実行し、また公平なスケジューリングを実現するためにスケジューリングサイクル毎に処理順序を固定的に巡回させている。

【 0 0 0 8 】

第 1 スケジューリングサイクルでは、図 2 (A) に示すように、入力回線 # 0 は出力回線 # 0, # 1, # 2, # 3 の優先順にスケジューリングを行い、これと並列に入力回線 # 1 は出力回線 # 1, # 2, # 3, # 0 の優先順にスケジューリングを行い、入力回線 # 2 は出力回線 # 2, # 3, # 0, # 1 の優先順にスケジューリングを行い、入力回線 # 3 は出力回線 # 3, # 0, # 1, # 2 の優先順にスケジューリングを行う。この優先順のパターンを等価的に図 2 (B) のように表す。

【 0 0 0 9 】

また、次の第 2 スケジューリングサイクルでは、各入力回線 # 0 ~ 3 # それぞれについて、出力回線 # 0 ~ # 3 の優先順序を固定的に巡回させ、図 2 (C) に示すようにする。

【 0 0 1 0 】

【発明が解決しようとする課題】

図 1 に示す従来方法は、スケジューリングサイクル毎に入力回線の処理順序が巡回し、更に出力回線を選択がラウンドロビン制御であるため、各入力回線およ

び出力回線を公平に処理でき、加えて入力回線毎の順次処理であるため効率の良いスケジューリングが可能である。しかし、スケジューリング処理が順次処理であるため、スケジューリング処理に要する時間が回線数Nに比例して大きくなり、その結果、回線数Nが大きな領域では単位時間内で処理が終わらず、複数の処理を並列処理するパイプライン処理の適用が必要であった。

【0011】

このように、図1の方法は、効率の面では有効な手段であるが、Nが大きな領域でスケジューリング処理時間が大きい、非常に多くのパイプライン処理が必要となりハードウェアの増加を招く等の問題があった。

【0012】

一方、図2の従来方法は、N個の入力回線の処理を並列に実行するため、スケジューリング処理時間が従来方式1の約 $1/N$ の処理時間で済む特徴を持つが、スケジューリング処理の順序制御として、各入力回線の処理順序が固定的に巡回するだけであるため、異なる入力回線の間で特定の出力回線への処理が公平にならない。例えば、入力回線#0、#1から出力回線#1を選択する場合、図2(C)に示すシーケンスでは入力回線#0が選択されるものの、図2(B)に示すシーケンス及び図示しない2つのシーケンスではでは入力回線#1が選択され、公平なスケジューリングが実現できないという問題があった。

【0013】

このように、図2の方法は、処理時間の観点では有効な手段であるが、公平性が欠けておりスループットの劣化を招く問題があった。

【0014】

本発明は、上記の点に鑑みなされたものであり、スケジューリング処理時間の短縮化と、公平なスケジューリング処理の両方を実現するスケジューリング方法及びその装置を提供することを目的とする。

【0015】

【課題を解決するための手段】

請求項1に記載の発明は、複数の入力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先入力回線の最優先出力回線が第1優先で処理され

る処理順序に従って全入力回線のスケジューリング処理を並列に処理し、スケジューリングサイクル毎に最優先入力回線および各入力回線の最優先出力回線を更新することにより、

各入力回線が最優先回線になったとき、自入力回線内の最優先出力回線を必ず確定することができ、単一の入力回線に着目して見れば、その入力回線内の出力回線が均等に選択されるため、入力回線間の順序が固定的であっても、公平なスケジューリングを行うことが可能となり、また同時に、並列処理により処理時間の短縮が図れ、高速なスケジューリングが可能となる。

【 0 0 1 6 】

請求項 2 に記載の発明は、請求項 1 記載のスケジューリング方法において、

前記最優先入力回線および各入力回線の最優先出力回線を更新する際に、パケットの存在する回線を優先的に選択することにより、

リクエストの無い無駄な回線を選択しないので、入力回線間のパスの数が異なる不均等パス条件下においても、トラヒックの存在する回線だけが最優先回線として選択され、さまざまな条件下で公平なスケジューリングを行うことが可能となる。

【 0 0 1 7 】

請求項 3 に記載の発明は、複数の入力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先入力回線の最優先出力回線が第 1 優先で処理される処理順序に従って全入力回線のスケジューリングを並列に処理するスケジューリング処理手段と、

スケジューリングサイクル毎に最優先入力回線および各入力回線の最優先出力回線を更新する優先回線更新手段とを有することにより、

各入力回線が最優先回線になったとき、自入力回線内の最優先出力回線を必ず確定することができ、単一の入力回線に着目して見れば、その入力回線内の出力回線が均等に選択されるため、入力回線間の順序が固定的であっても、公平なスケジューリングを行うことが可能となり、また同時に、並列処理により処理時間の短縮が図れ、高速なスケジューリングが可能となる。

【 0 0 1 8 】

請求項 4 に記載の発明は、請求項 3 記載のスケジューリング装置において、
前記優先回線更新手段は、最優先入力回線および各入力回線の最優先出力回線を更新する際に、パケットの存在する回線を優先的に選択することにより、
リクエストの無い無駄な回線を選択しないので、入力回線間のパスの数が異なる不均等パス条件下においても、トラヒックの存在する回線だけが最優先回線として選択され、さまざまな条件下で公平なスケジューリングを行うことが可能となる。

【 0 0 1 9 】

請求項 5 に記載の発明は、請求項 4 記載のスケジューリング装置において、
前記優先回線更新手段は、前記最優先出力回線がスケジューリングできない場合には、前記各入力回線の最優先出力回線を更新する際に、当該最優先出力回線を更新しないことにより、今回のスケジューリングサイクルで最優先出力回線以外の回線を選択したとしても、次回以降においてまた当該最優先出力回線を優先的に選択することができる。

【 0 0 2 0 】

付記 6 に記載の発明は、請求項 4 記載のスケジューリング装置において、
前記優先回線更新手段は、前記各入力回線の最優先出力回線を更新する際に、出力回線の中の優先回線を非優先回線に優先して選択し更新することにより、
例えば、負荷の高い回線、キュー長の大きな回線、同じ出力回線でも品質要求の厳しい Q o S などにより優先的にスケジューリングしたい回線を優先的に選択することができ、同一入力回線内の出力回線間でトラヒックが不均等な場合でも公平なスケジューリングが可能となり、また、優先したい回線を Q o S で選択する場合には、ベストエフォートトラヒックの影響を受けることなく、優先する Q o S の回線の遅延及び帯域を保証することが可能となる。

【 0 0 2 1 】

付記 7 に記載の発明は、付記 6 記載のスケジューリング装置において、
前記スケジューリング処理手段は、前記優先回線と非優先回線とで別々に最優先出力回線を管理することにより、
優先回線と非優先回線のスケジューリング処理を独立に行うことが可能となる

【 0 0 2 2 】

付記 8 に記載の発明は、付記 6 記載のスケジューリング装置において、

前記スケジューリング処理手段は、前記優先回線と非優先回線とで一括して最優先出力回線を管理することにより、

最優先回線を更新するときに優先回線を優先的に選択して優先回線を優先してスケジューリングしながら、スケジューリング処理の短縮を図ることが可能となる。

【 0 0 2 3 】

付記 9 に記載の発明は、付記 6 記載のスケジューリング装置において、

前記スケジューリング処理手段は、スケジューリングサイクルの前半で優先回線を対象としたスケジューリングを行った後、非優先回線を対象としたスケジューリングを行うことにより、

全回線にわたって完全に優先回線を優先して処理でき、なおかつ、未確定の空き帯域を非優先回線に割り当てることにより効率の良いスケジューリングが可能となる。

【 0 0 2 4 】

付記 1 0 に記載の発明は、付記 6 記載のスケジューリング装置において、

前記スケジューリング処理手段は、優先回線と非優先回線のスケジューリングを並列に実行し、両スケジューリング結果で競合が発生したとき優先回線のスケジューリング結果を優先することにより、

優先回線を優先しながら処理時間の短縮を図ることが可能となる。

【 0 0 2 5 】

付記 1 1 に記載の発明は、請求項 4 記載のスケジューリング装置において、

前記優先回線更新手段は、前記各入力回線の最優先出力回線を更新する際に、出力回線の中の高優先グループを低優先グループに優先して選択し更新することにより、

例えば、負荷の高い回線、キュー長の大きな回線、同じ出力回線でも品質要求の厳しい Q o S などにより優先的にスケジューリングしたい回線を優先的に選択

することができ、同一入力回線内の出力回線間でトラヒックが不均等な場合でも公平なスケジューリングが可能となり、また、優先したい回線をQoSで選択する場合には、ベストエフォートトラヒックの影響を受けることなく、優先するQoSの回線の遅延及び帯域を保証することが可能となる。

【 0 0 2 6 】

付記 1 2 に記載の発明は、付記 6 記載のスケジューリング装置において、
前記スケジューリング処理手段は、前記高優先グループと低優先グループとで別々に最優先出力回線を管理することにより、
高優先グループと低優先グループのスケジューリング処理を独立に行うことが可能となる。

【 0 0 2 7 】

付記 1 3 に記載の発明は、付記 6 記載のスケジューリング装置において、
前記スケジューリング処理手段は、前記高優先グループと低優先グループとで一括して最優先出力回線を管理することにより、
最優先回線を更新するときに高優先グループを優先的に選択して優先回線を優先してスケジューリングしながら、スケジューリング処理の短縮を図ることが可能となる。

【 0 0 2 8 】

付記 1 4 に記載の発明は、複数の出力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先出力回線の最優先入力回線が第 1 優先で処理される処理順序に従って全出力回線のスケジューリングを並列に処理するスケジューリング処理手段と、

スケジューリングサイクル毎に最優先出力回線および各出力回線の最優先入力回線を更新する優先回線更新手段とを有することにより、

各出力回線が最優先回線になったとき、自出力回線内の最優先入力回線を必ず確定することができ、単一の出力回線に着目して見れば、その出力回線内の入力回線が均等に選択されるため、出力回線間の順序が固定的であっても、公平なスケジューリングを行うことが可能となり、また同時に、並列処理により処理時間の短縮が図れ、高速なスケジューリングが可能となる。

【発明の実施の形態】

図 3 は、本発明の入力バッファ型スイッチの第 1 実施例の構成図を示す。同図中、入力回線 $10_1 \sim 10_N$ の回線数だけの入力バッファ部 $12_1 \sim 12_N$ が設けられており、各入力バッファ部 $12_1 \sim 12_N$ には出力回線に対応した論理出力キュー (VOQ: Virtual Output Queue) $13_1 \sim 13_M$ が設けられている。各入力バッファ部 $12_1 \sim 12_N$ において、入力されたパケットは出力回線に対応した論理出力キュー $13_1 \sim 13_M$ にバッファリングされ、各論理出力キュー $13_1 \sim 13_M$ は上記のバッファリングと共に、スケジューリング要求のリクエスト情報をスケジューラ (即ちスケジューリング装置) 14 に対して送信する。また、各入力バッファ部 $12_1 \sim 12_N$ はスケジューラ 14 の指示 (スケジューリング結果) に従って論理出力キュー $13_1 \sim 13_M$ のいずれかからパケットをパケットスイッチ 16 に送出する。

【0029】

パケットスイッチ 16 は、バッファレスのクロスバースイッチであり、入力パケットのヘッダに書かれている宛先に応じた出力回線 $18_1 \sim 18_M$ にパケットをスイッチングする。

【0030】

スケジューラ 14 は、I/O 部 20、リクエスト管理部 22、ポインタ制御部 24、順序制御指示部 26、スケジューリング処理部 28 から構成され、パケットスイッチ 16 において競合が発生しないようにスケジューリングを行う。I/O 部 20 は、入力バッファ部 $12_1 \sim 12_N$ からのリクエスト情報を受信すると共に、その情報をリクエスト管理部 22 に通知する。また、スケジューリング処理部 28 によるスケジューリング結果を各入力バッファ部 $12_1 \sim 12_N$ に通知する。

【0031】

リクエスト管理部 22 は、各入力バッファ部 $12_1 \sim 12_N$ から送信されるスケジューリング要求の数を各入力バッファの VOQ 毎に管理し、スケジューリング要求の有無を判定する。ポインタ制御部 24 は、全入力回線のなかの最優先入力回線と、各入力回線毎の最優先出力回線とを管理する。順序制御指示部 26 は

、ポインタ制御部 2 4 から通知される最優先入力回線の最優先出力回線（最優先入力回線として指示された入力回線に該当する最優先出力回線で指示された出力回線）を第 1 優先でスケジューリングでき、なおかつ、各入力回線のスケジューリング対象が重ならないようなスケジューリング順序を生成してスケジューリング処理部 2 8 に対して通知を行う。

【 0 0 3 2 】

スケジューリング処理部 2 8 は、リクエスト管理部 2 2 から通知されるリクエスト有無情報と自処理部内で管理している確定済み回線の情報を用いて、順序制御処理部 2 6 から通知されるスケジューリング順序に従い、N 個の入力回線のスケジューリング処理を並列処理するものである。本構成において、ポインタ制御部 2 4 が指示する最優先入力回線の最優先出力回線を第 1 優先で処理する処理順序に従って全入力回線のスケジューリング処理を並列に行い、最優先入力回線および各入力回線の最優先出力回線をスケジューリングサイクル毎に更新することにより、スケジューリング処理時間の短縮化および公平なスケジューリングを実現する。

【 0 0 3 3 】

図 4、図 5 は、本発明方法の第 1 実施例を説明するための図を示す。ここでは、説明を簡略にするため入力回線数 $N = 4$ 、出力回線数 $M = 4$ とし、 4×4 スイッチを用いて説明を行う。

【 0 0 3 4 】

図 4 は、スケジューラの順序制御指示部 2 6 が生成するスケジューリングの処理順序の一実施例を示す。パターン 1 からパターン 4 の各マトリクスは、第 1 行が入力回線 # 0 のスケジューリング対象を表し、第 2 行が入力回線 # 1 のスケジューリング対象を表し、第 3 行が入力回線 # 2 のスケジューリング対象を表し、第 4 行が入力回線 # 3 のスケジューリング対象を表している。また、第 1 カラムが処理順序の第 1 優先を表し、第 2 カラムが処理順序の第 2 優先を表し、第 3 カラムが処理順序の第 3 優先を表し、第 4 カラムが処理順序の第 4 優先を表している。各行の各欄に示す数字は出力回線番号を表している。

【 0 0 3 5 】

つまり、例えばパターン 1 では、入力回線 # 0 が第 1 優先で出力回線 # 0 をスケジューリング対象とし、入力回線 # 1 が第 1 優先で出力回線 # 1 をスケジューリング対象とし、入力回線 # 2 が第 1 優先で出力回線 # 2 をスケジューリング対象とし、入力回線 # 3 が第 1 優先で出力回線 # 3 をスケジューリング対象としている。また、入力回線 # 0 に着目してみると、スケジューリング順序は、出力回線 # 0, # 1, # 2, # 3 の順となっている。

【 0 0 3 6 】

スケジューリング処理は、4 つの入力回線が同時に、第 1 優先から順に第 N 優先まで順次スケジューリング対象の出力回線に対して判定処理を行うことにより実現する。なお、入力回線間で同一処理時間（同一優先順位）のスケジューリング対象が異なっているため、同一処理時刻に他回線のスケジューリング結果を意識する必要がなく、高速にスケジューリング処理を行うことが可能である。この例では 4×4 スイッチを想定しているため、スケジューリング順序のパターンとして、各出力回線が均等に第一処理となるような 4 つの順序パターンが存在する。

【 0 0 3 7 】

一般に $N!$ 通りの順序パターンを生成することにより完全に均等な順序となるが、入力回線数 N が大きな領域では膨大なパターン数となり実現が難しくなる。しかし、この例のように各出力回線が均等に第 1 優先となるような N 通りの順序パターンであれば、比較的实现が容易であり、またスケジューリング順序を生成する論理も非常に簡単かつ容易である。この実施例では、パターン内の処理順序に関して、第 m 優先度のスケジューリング対象を、第 $m-1$ 優先度の出力回線番号 $+1 \text{ MOD } N$ （出力回線番号 $+1$ を N で割った剰余）により求める。また、複数の順序パターンの生成に関しては、第 m パターンは、第 $m-1$ パターンの出力回線番号 $+1 \text{ MOD } N$ により求め、簡易な制御で優先順序を導くことが可能である。さらに、前回の優先順位あるいは前回のパターンの出力回線番号 $+1 \text{ MOD } N$ によりスケジューリング対象あるいは順序パターンを導くのに限らず、どのような方法でスケジューリング対象あるいは順序パターンを導いても良い。

【 0 0 3 8 】

次に、図 5 を用いて、スケジューリング処理の際に使用するスケジューリング順序の決定方法について説明する。スケジューラのポインタ制御部 2 4 は、全入力回線中の最優先入力回線番号と、各入力回線の最優先出力回線番号を管理している。

【 0 0 3 9 】

スケジューリングサイクル 1 では、これらの値の初期値として、最優先入力回線が 2 で、入力回線 # 0 の最優先出力回線が # 2 で、入力回線 # 1 の最優先出力回線が # 3 で、入力回線 # 2 の最優先出力回線が # 0 で、入力回線 # 3 の最優先出力回線が # 1 となっている。そして、スケジューリング順序は、最優先入力回線の最優先出力回線が第 1 優先で処理される順序パターンを使用する。即ち、本例では入力回線 # 2，出力回線 # 0 を第 1 優先で処理することのできるスケジューリングの処理順序パターン 3 に従ってスケジューリングを行う。なお、最優先入力回線、最優先出力回線はスケジューリングサイクル毎に更新される。

【 0 0 4 0 】

同ように、スケジューリングサイクル 2 では、スケジューリングサイクル 1 において更新された各ポインタ値に基づき、入力回線 # 0，出力回線 # 0 が第 1 優先で処理されるパターン 1 を用いて処理を行う。このように、スケジューリングサイクル毎に最優先入力回線を巡回させ、その入力回線内の最優先出力回線が第 1 優先で処理される順序に従って全回線のスケジューリングを行うことにより、公平なスケジューリングを実現する。

【 0 0 4 1 】

図 6 は、スケジューリング処理の第 1 実施例のフローチャートを示す。なお、N は全入力回線数、IN は入力回線番号、O，OUT，I それぞれは中間変数、要求 (IN，O) は入力回線 # IN の VOQ (論理出力キュー) # O の要求数を示す。

【 0 0 4 2 】

同図中、ステップ S 1 0 では、最優先入力回線の最優先出力回線が第 1 優先で処理されるパターンを選択する。次に、ステップ S 1 2 で選択したパターンの処

理順序に従ってスケジューリング処理を実施する。次に、ステップS14～S30を入力回線毎に実施する。

【0043】

ステップS14では現在の入力回線INの最優先出力回線をOに格納する。次に、ステップS16で要求 $(IN, O) > 0$ で、かつ、確定回線がOであるか、または、要求 $(IN, O) = 0$ であるかを判別し、この条件を満足すればステップS18に進み、要求 $(IN, O) > 0$ で、かつ、確定回線がOでなければステップS30に進む。

【0044】

ステップS18では確定回線の要求数を1だけ減算し、ステップS20で入力回線#INの確定回線をOUTに格納した後、ステップS22で $OUT + 1 \text{ MOD } N$ を演算してOUTに格納する。そして、ステップS24で全出力回線について検証済みか否かを判別し、検証済みでなければステップS26で入力回線#OのVOQ#OUTに要求があるか否かを判別する。

【0045】

ここで、要求がなければステップS22に進み、要求があればステップS28でOUTに格納されている回線番号をOに格納されている回線番号の最優先出力回線に新たに設定してステップS32に進む。また、ステップS24で検証済みであればステップS32に進む。一方、ステップS16で要求 $(IN, O) > 0$ で、かつ、確定回線がOでない場合にはステップS30で確定回線の要求数を1だけ減算してステップS32に進む。

【0046】

ステップS32では現在の最優先入力回線をIに格納する。次に、ステップS34で $I + 1 \text{ MOD } N$ を演算してIに格納する。そして、ステップS36で全入力回線について検証済みか否かを判別し、検証済みでなければステップS38で入力回線#IのいずれかのVOQに要求があるか否かを判別する。ここで、要求がなければステップS34に進み、要求があればステップS40でIに格納されている回線番号を最優先入力回線に新たに設定して処理を終了する。また、ステップS36で検証済みであれば処理を終了する。

【 0 0 4 7 】

ここで、第 1 実施例のスケジューリング処理に基づき、スケジューリング判定処理および最優先入力回線／最優先出力回線の更新について説明する。ここでも 4 × 4 スイッチを用いており、従って、順序パターンは図 4 に示す 4 つのパターンである。図 7 ～ 図 1 0 にスケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す。スケジューリング要求有無は、リクエスト管理部 2 2 によって管理されており、リクエスト数が 1 以上のものをリクエストありと判断している。なお、図中、丸印が付いているものがリクエストありを意味し、例えば、図 7 の第 1 優先では入力回線 # 1 から出力回線 # 1 のリクエストと、入力回線 # 2 から出力回線 # 2 のリクエストが存在し、入力回線 # 0 と # 3 についてはリクエストが無いことを表している。なお、スケジューリング要求数は、入力バッファからのリクエスト受信時にインクリメントし、スケジューリング完了時にデクリメントすることによって管理される。ここでは、簡略化のため、現在リクエストのある回線に 2 個以上のリクエストが存在することとし、スケジューリング前とスケジューリング後でリクエスト有無状態が変わらない例を用いている。

【 0 0 4 8 】

はじめにスケジューリング処理の動作概要について説明する。図 7 のスケジューリングサイクル # 1 におけるスケジューリング順序パターンは、最優先入力回線が # 2 で、入力回線 # 2 の最優先出力回線が # 2 であることから、入力回線 # 2，出力回線 # 2 が第 1 優先で処理される順序パターン # 1 を使用する。スケジューリング処理は、上記順序パターンの第 1 優先から第 N 優先まで順次 N 並列で、スケジューリングの可否を判定して行く。

【 0 0 4 9 】

ここで、スケジューリングの可否は、自入力回線が未確定、かつスケジューリング対象の出力回線が未確定、かつリクエスト情報有りのときスケジューリング可能と判定し、これらの条件が一致しなければ不可と判定する。スケジューリング可能と判定された場合には、自入力回線番号と当該出力回線番号とを確定済み

の状態として、スケジューリング結果を保持する。例えば第 1 優先処理では、全ての入力回線が未確定であり、また全ての出力回線が未確定である。従って、スケジューリング要求のある入力回線 # 1 と入力回線 # 2 は条件を全て満たしているため、これらはスケジューリング可能と判定される。図中では、スケジューリングが確定した状態を梨地の丸印で示している。

【 0 0 5 0 】

次に、第 2 優先処理では、入力回線 # 0 が出力回線 # 1 のリクエストを持っているが、既に入力回線 # 1 によって出力回線 # 1 は確定済みであるため判定条件に一致せず、確定することができない。また、入力回線 # 2 は出力回線 # 3 のリクエストを持っているが既に自入力回線が確定済みであるため判定条件に一致しない。従って、この第 2 優先処理ではどの回線も確定を行うことができない。また、第 3 優先処理も同様に全ての回線で条件一致しない。そして、第 4 優先処理において、入力回線 # 0 の出力回線 # 3 が条件一致となり確定となる。

【 0 0 5 1 】

この結果、スケジューリングサイクル # 1 のスケジューリングの結果として以下の結果が得られる。入力回線 # 0 を出力回線 # 3 に接続、入力回線 # 1 を出力回線 # 1 に接続、入力回線 # 2 を出力回線 # 2 に接続、入力回線 # 3 は無し（読み出し不可）とする。

次に、最優先入力回線の更新処理について説明する。最優先入力回線の更新は、スケジューリング完了後のリクエスト有無情報に基づき、スケジューリング要求を持つ入力回線を優先的に選択するようにする。ここでは、現在の最優先入力回線 $+ 1 \text{ MOD } N$ から検索を開始して、最初に検出されたリクエストを持つ入力回線を次回の最優先入力回線としている。図 7 のスケジューリングサイクル # 1 では、現最優先入力回線が # 2 であり、 $2 + 1$ の入力回線 # 3 から検索を開始し、最初にリクエストが存在する回線として検出された入力回線 # 3 を次回の最優先入力回線としている。図中、ポインタ更新の有無を明確にするため、更新を行った部分に下線を付している。

【 0 0 5 2 】

なお、全入力回線にスケジューリング要求が無い場合には、現ポインタ値 $+ 1$

MOD Nを次回の最優先入力回線としても良いし、現最優先入力回線を保持しても良い。図7では、次回の最優先入力回線を現ポインタ値+1 MOD Nにより決定しているが、スケジューリング要求を持つ回線が優先的に選択されればどのような方法で最優先入力回線を決定しても良い。また、リクエストの有無によって最優先入力回線を決定するのではなく、単純にラウンドロビン制御で各回線を均等に選択しても良い。

【0053】

次に、各入力回線の最優先出力回線の更新処理について説明する。入力回線内の複数の出力回線を公平にスケジューリングするため、各入力回線のスケジューリング結果とスケジューリング要求有無に基づき、入力回線毎に独立に最優先出力回線の更新を行う。更新処理には大きく分けて以下の2通りの更新論理がある。

【0054】

第一の更新論理は、スケジューリング時に現最優先出力回線にリクエストがあり、かつ、その出力回線が確定できなかった場合に、確定回線番号に拘わらず現最優先出力回線番号を保持する。

【0055】

第2の更新論理は、スケジューリング時に現最優先出力回線にリクエストがあり、かつ、その最優先出力回線を確定した場合、あるいはスケジューリング時に現優先出力回線にリクエストが無く、かつ、いずれかの出力回線が確定できた場合のいずれかに該当する場合は、確定した出力回線番号+1 MOD Nから検索を開始して、スケジューリング要求を持つ出力回線の中で最初に検出された出力回線を次回の最優先出力回線とする。

【0056】

なお、上記検索の結果、全出力回線のリクエストが無い場合には、現最優先出力回線を保持しても良いし、現最優先出力回線+1 MOD Nの出力回線としても良い。

【0057】

図7にて上記の更新処理を説明すると、まず入力回線#0は現最優先出力回線

2 にリクエストが無く出力回線 # 3 が確定されたため、確定回線 (# 3) + 1 MOD N (= 0) で得られる出力回線 # 0 から検索を開始して、最初に検出されたリクエストを有する出力回線 # 1 を次回の最優先出力回線とする。入力回線 # 1 および入力回線 # 3 は現最優先出力回線 (入力回線 # 1 は出力回線 # 3 , 入力回線 # 3 は出力回線 # 1) にリクエストがあり、その回線が確定できなかったため、現最優先出力回線を保持する。このため、入力回線 # 1 と # 3 の最優先出力回線は更新されていない。また、入力回線 # 2 は、現最優先出力回線 # 2 にリクエストがあり、かつ、その回線を確定したため、確定回線 (# 2) + 1 MOD N から検索を開始して最初に検出されたリクエストを有する出力回線 # 3 を次回の最優先出力回線とする。

【 0 0 5 8 】

なお、上記実施例では、確定回線 + 1 MOD N により次回の最優先出力回線を決定しているが、リクエストを有する出力回線を優先的に選択すればどのような方法で決定しても良い。また、リクエストの無い回線をスキップするような処理ではなく、単純なラウンドロビン制御によって各出力回線を選択するようにしても良い。

【 0 0 5 9 】

図 8 に示すスケジューリングサイクル # 2 では、スケジューリングサイクル # 1 の最優先回線更新の結果を受けて、入力回線 # 3 , 出力回線 # 1 が第 1 優先で処理されるパターン # 3 に従い同様の手順でスケジューリングを行う。また、図 9 に示すスケジューリングサイクル # 3 では、スケジューリングサイクル # 2 の最優先回線更新の結果を受けて、入力回線 # 0 , 出力回線 # 1 が第 1 優先で処理されるパターン # 2 に従い同様の手順でスケジューリングを行う。さらに、図 1 0 に示すスケジューリングサイクル # 4 では、スケジューリングサイクル # 3 の最優先回線更新の結果を受けて、入力回線 # 1 , 出力回線 # 1 が第 1 優先で処理されるパターン # 1 に従い同様の手順でスケジューリングを行う。

【 0 0 6 0 】

上記実施例では、スケジューリング前とスケジューリング後でスケジューリング要求有無状態が変わらず (リクエストが 2 個以上存在する) 、なおかつ、全て

の入力回線がリクエストを持っているケースについて説明を行ったが、図 1 1 に示すようなスケジューリング前とスケジューリング後とでスケジューリング要求有無状態が異なり、更にある入力回線のリクエストがゼロになる場合の最優先入力回線の更新処理について説明する。

【 0 0 6 1 】

図 1 1 の左側半分は、あるスケジューリングサイクルにおけるスケジューリング処理前のスケジューリング要求有無の状態を示しており、右側半分がスケジューリング後のリクエスト有無状態を表している。この例では、今回のスケジューリング処理で、入力回線 # 1，出力回線 # 1 と、入力回線 # 2，出力回線 # 0 が確定され、それぞれのリクエスト数がデクリメントされた結果、これらの回線のリクエスト数がゼロになったことを表している。

【 0 0 6 2 】

最優先入力回線の更新処理は、上記実施例で説明したように現最優先入力回線 $+ 1 \text{ MOD } N$ から検索を開始して、最初に検出されるリクエスト情報をもつ入力回線を選択する。すなわち、入力回線 $\# 0 + 1 \text{ MOD } N (= 1)$ で得られる入力回線 # 1 から検索を開始して、最初に見つかるリクエストを有する入力回線 # 3 が次回の最優先入力回線となる。なお、スケジューリング後にリクエストがゼロになった入力回線 # 1 と # 2 の最優先出力回線の更新処理では、確定回線 $+ 1$ を次回の最優先出力回線としている。

【 0 0 6 3 】

このように、スケジューリングサイクル毎に、最優先入力回線の最優先出力回線が第 1 優先で処理される順序に従ってスケジューリングを行うことにより、他の入力回線が最優先回線の場合は、自入力回線内で本来最優先で処理したい回線とは異なる回線をスケジューリングすることがあるが、自入力回線が最優先回線となったときには、必ず自回線内の最優先出力回線をスケジューリングすることができる。このため、従来方式では特定の入力回線間でいずれか一方の回線が常に優先されてしまう問題があったが、上記の処理により、各入力回線内の出力回線を公平にスケジューリングすることができ、効率の良いスケジューリングが可能となる。

【 0 0 6 4 】

次に、優先回線を優先的にスケジューリングする第2実施例について説明する。同一入力回線から異なる出力回線へのトラヒックの割合が大きく異なる場合に、第1実施例のように各出力回線を均等に選択する方式を用いると、高負荷の出力回線のスループットが劣化する問題がある。これを回避する方法として、各出力回線の負荷に応じて出力回線を選択する方法があるが、動的に変化する負荷に追従して高速に選択論理を切り替えることが難しい。これに対して、簡易的な実現手段として一定周期毎に滞留パケット数を監視し、滞留パケットが存在するVOQ（負荷の高い回線）を優先回線として判定し、スケジューリングの際に優先回線を優先的に選択することにより、各出力回線の負荷に応じて公平にスケジューリングすることができる。

図12は、第2実施例の概要を示す。ここでは、ある入力回線におけるパケット到着及びパケット送出の流れを示している。前の一定周期（前周期）にシーケンス番号0～5のパケットが到着し、このうちシーケンス番号（SN）0、1のパケットだけが前周期内で送出されている。また、現周期ではシーケンス番号6～9のパケットが到着している。なお、上記の優先回線・非優先回線の判定は、一定周期の最後の時刻で行われる。判定処理ではパケットが滞留している出力回線を優先回線、パケットの滞留していない回線を非優先回線とする。

【 0 0 6 5 】

また、優先／非優先を判定するとともに滞留パケット数を保持する。ここでは、前周期の最後の時刻において、VOQ # 0に3パケット、VOQ # 1に1パケットの滞留パケットが存在するため、これらの値が保持される。なお、上記の値は、次周期において本滞留パケットが送出されたときに減算され、ゼロになった時点でその出力回線が非優先回線と見なされる（非優先回線は次周期の間は常時非優先回線のままである）。図中、網掛け表示のパケットは前周期到着パケットであり、網掛け表示されていないパケットは現周期到着パケットである。ちなみに、時点T_{now}におけるバッファの滞留状態は図に示すような状態となっている。

【 0 0 6 6 】

スケジューリング処理の際は、上記優先出力回線を優先的にスケジューリングを行う。即ち、現周期では優先回線であるVOQ # 0とVOQ # 1を他のVOQよりも優先的に選択する。このため、現周期では、まず優先回線であるVOQ # 0のシーケンス番号2のパケットが送出される。次に、非優先回線であるVOQ # N-1のシーケンス番号6のパケットが送出されているが、これはVOQ # 0とVOQ # 1を優先的に選択しようとしたが、既に他の入力回線によってスケジューリングされていたために選択することができず、その代わりに非優先回線のVOQ # N-1が選択されたためである。以降も同ように優先回線が優先的に選択され、上記に続いてVOQ # 0（シーケンス番号4）、VOQ # 1（シーケンス番号3）のパケットが送出される。なお、シーケンス番号3のパケットが送出された時点でVOQ # 1の前周期に到着したパケットが全て読み出されたため、VOQ # 1を非優先回線とし、以降はVOQ # 0だけが優先回線となる。

【 0 0 6 7 】

同ように処理を繰り返してゆき、VOQ # 0の最後の前周期到着パケット（シーケンス番号5）が送出された時点で、全ての出力回線が非優先回線となる。このように、一定周期毎に滞留パケットを有する出力回線を判定して、前周期到着の滞留パケットが無くなるまでその回線を優先的に選択することによって、結果として負荷の高い出力回線を優先的に選択することとなり、不均等なトラヒックでも負荷に応じたスケジューリングが可能となる。

【 0 0 6 8 】

次に上記の優先回線を優先的にスケジューリングする処理方式について説明する。スケジューリングの実現方法として、3つの実現方法がある。

【 0 0 6 9 】

第1の実現方法は、スケジューリング処理の際は優先回線、非優先回線を意識せず一括してリクエストのある回線を対象としてスケジューリングし、最優先出力回線を更新する際に優先回線を優先的に次の最優先出力回線とする方法である。第2の実現方法は、常時、優先回線を優先的に処理する方法である。第3の実現方法は、優先回線と非優先回線の処理を並列に処理する方法である。

【 0 0 7 0 】

図 1 3、図 1 4 は優先スケジューリング一括処理の一実施例のフローチャートを示す。ここで、要求 A は前周期到着パケットがある場合に出され、要求 B は現周期到着パケットがある場合に出され、要求 A (IN, O) は入力回線 # IN についての VOQ # O の前周期到着要求数を表し、要求 B (IN, O) は入力回線 # IN についての VOQ # O の現周期到着要求数を表す。

【 0 0 7 1 】

図 1 3 において、ステップ S 5 0 では、最優先入力回線の最優先出力回線が第 1 優先で処理されるパターンを選択する。次に、ステップ S 5 2 で選択したパターンの処理順序に従ってスケジューリング処理を実施する。次に、ステップ S 5 4 ~ S 7 0 を入力回線毎に実施する。

【 0 0 7 2 】

ステップ S 5 4 では現在の入力回線 IN の最優先出力回線を O に格納する。次に、ステップ S 5 6 で要求 A (IN, O) > 0 で、かつ、確定回線が O であるか、または、要求 A (IN, O) = 0 であるかを判別し、この条件を満足すればステップ S 5 8 に進み、この条件を満足しなければステップ S 7 0 に進む。

【 0 0 7 3 】

ステップ S 5 8 では優先回線についてのみ確定回線の要求数を 1 だけ減算し、ステップ S 6 0 で入力回線 # IN の確定回線を OUT に格納した後、ステップ S 6 2 で $OUT + 1 \text{ MOD } N$ を演算して OUT に格納する。そして、ステップ S 6 4 で全出力回線について検証済みか否かを判別し、検証済みでなければステップ S 6 6 で入力回線 # O の VOQ # OUT に要求 A があるか否かを判別する。

【 0 0 7 4 】

ここで、要求 A がなければステップ S 6 2 に進み、要求 A があればステップ S 6 8 で OUT に格納されている回線番号を O に格納されている回線番号の最優先出力回線に新たに設定して図 1 4 のステップ S 7 4 に進む。また、ステップ S 6 4 で検証済みであればステップ S 7 4 に進む。一方、ステップ S 5 6 で条件を満足しなければステップ S 7 0 で優先回線についてのみ確定回線の要求数を 1 だけ減算してステップ S 7 4 に進む。

【 0 0 7 5 】

図 1 4 ではステップ S 7 4 ~ S 9 0 を入力回線毎に実施する。ステップ S 7 4 では現在の入力回線 I N の最優先出力回線を O に格納する。次に、ステップ S 7 6 で要求 B (I N , O) > 0 で、かつ、確定回線が O であるか、または、要求 B (I N , O) = 0 であるかを判別し、この条件を満足すればステップ S 7 8 に進み、この条件を満足しなければステップ S 9 0 に進む。

【 0 0 7 6 】

ステップ S 7 8 では非優先回線についてのみ確定回線の要求数を 1 だけ減算し、ステップ S 8 0 で入力回線 # I N の確定回線を O U T に格納した後、ステップ S 8 2 で $O U T + 1 \text{ MOD } N$ を演算して O U T に格納する。そして、ステップ S 8 4 で全出力回線について検証済みか否かを判別し、検証済みでなければステップ S 8 6 で入力回線 # O の V O Q # O U T に要求 B があるか否かを判別する。

【 0 0 7 7 】

ここで、要求 B がなければステップ S 8 2 に進み、要求 B があればステップ S 8 8 で O U T に格納されている回線番号を O に格納されている回線番号の最優先出力回線に新たに設定してステップ S 9 2 に進む。また、ステップ S 8 4 で検証済みであればステップ S 9 2 に進む。一方、ステップ S 7 6 で要求 (I N , O) > 0 で、かつ、確定回線が O である場合にはステップ S 9 0 で非優先回線についてのみ確定回線の要求数を 1 だけ減算してステップ S 9 2 に進む。ステップ S 9 2 では現在の最優先入力回線を更新して処理を終了する。

【 0 0 7 8 】

図 1 5 を用いて動作例を説明する。図中、丸印は前周期到着パケット（リクエスト）が有ることを示し、四角印は現周期到着パケットが有ることを示しており、両方の印がある部分は両方のパケットが存在することを示し、星印は最優先入力回線を示している。言い換えれば、丸印（丸印と四角印の両方を含む）のついている出力回線が優先出力回線を示す。但し、スケジューリング処理ではこれらを一気気にせず、丸印あるいは四角印の付いているリクエストが存在する回線をスケジューリング対象とする。

【 0 0 7 9 】

例えば、第 1 優先処理では、入力回線 # 0, # 1, # 2 にリクエストが存在し、なおかつ、それらが未確定であるために確定となる。図中、確定済みを梨地で示す。スケジューリング処理では優先／非優先を意識しない反面、最優先出力回線を更新する際に優先回線を優先的に選択する。例えば、入力回線 # 0 の現最優先出力回線は # 2 であり、またこの回線が今回確定できたため、確定回線 ($\# 2 + 1 \text{ MOD } N (= 3)$) から検索を開始し、最初に検出された優先回線（優先回線は必ずパケットが存在するためパケット有無は判定しなくても良い）を次の最優先出力回線とする。

【 0 0 8 0 】

このため、次の最優先出力回線は、非優先回線の $VOQ \# 3$ ではなく、 $VOQ \# 1$ が選択される。同ように、入力回線 # 2 についても、確定回線が # 0 であり、確定回線 ($\# 0 + 1 \text{ MOD } N (= 1)$) から検索を開始して、最初に検出される回線 ($VOQ \# 0$) を次の最優先出力回線としている。入力回線 # 2 は、最優先回線が $VOQ \# 0$ だけのため、次の最優先回線も $VOQ \# 0$ となっている。

【 0 0 8 1 】

ここで、入力回線 # 1 のスケジューリング結果に着目してみると、入力回線 # 1 内には優先回線 ($VOQ \# 1, VOQ \# 2$) があるにも拘わらず、非優先回線の $VOQ \# 3$ が選択されている。しかし、最優先回線の更新手順によって優先回線が優先的に選択されるため、入力回線 # 1 が最優先で処理されるサイクルでは必ず優先回線が優先的に処理される（図中の *Next Scheduling cycle*）。ちなみに、入力回線削の最優先出力回線が更新されない理由は、第 1 実施例で示したように現最優先出力回線にリクエストがあり、その回線が確定できなかったためである。

【 0 0 8 2 】

このように本処理方法は、常に優先回線が優先されるのではなく、自入力回線が最優先で処理されるときには、少なくとも優先回線を優先的に選択するようにすることで、処理時間の短縮と比較的ラフな優先処理の両方を実現することができる。

【0083】

次に、常時、優先回線を優先的に処理する第2の実現方法について説明する。
図16は、優先スケジューリング順次処理の第1実施例のフローチャートを示す。
この実施例は最優先出力回線のポインタが優先回線／非優先回線で共通の場合である。同図中、ステップS100では、最優先入力回線の最優先出力回線が第1優先で処理されるパターンを選択する。次に、ステップS102で選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象のVOQは前周期到着パケットを有するVOQのみである。

【0084】

次に、ステップS104で選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象のVOQは全VOQである。次のステップS106では、図13のステップS54～S70と同ようにして入力回線#INについてのVOQ#Oの要求数（＝要求A＋要求B）である要求T（IN，O）で判定して最優先出力回線を更新する。さらに、次のステップS108で、図13のステップS74～S90と同ようにして最優先入力回線を更新して処理を終了する。

【0085】

図17は、優先スケジューリング順次処理の第2実施例のフローチャートを示す。この実施例は最優先出力回線のポインタが優先回線／非優先回線で独立の場合である。同図中、ステップS110では、最優先入力回線の最優先出力回線が第1優先で処理されるパターンを選択する。次に、ステップS112で選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象のVOQは前周期到着パケットを有するVOQのみである。

【0086】

次に、ステップS114で選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象のVOQは全VOQである。次のステップS116で、図13のステップS54～S70と同ようにして入力回線#INについてのVOQ#Oの前周期到着要求数である要求A（IN，O）で判定して最優先出力回線を更新し、ステップS118で、図13のステッ

プ S 5 4 ~ S 7 0 と同ようにして入力回線 # I N についての V O Q # O の現周期到着要求数である要求 B (I N , O) で判定して最優先出力回線を更新する。さらに、次のステップ S 1 2 0 で、図 1 3 のステップ S 7 4 ~ S 9 0 と同ようにして最優先入力回線を更新して処理を終了する。

【 0 0 8 7 】

図 1 8 を用いて優先スケジューリング順次処理の第 1 実施例の動作例を説明する。図中、スケジューリング処理の前半（第 1 ~ 第 4 優先）で、まず優先回線だけを対象としてスケジューリングを行い、後半（第 5 ~ 第 7 優先）の処理で、優先回線の処理において未確定の回線について、非優先回線を対象としてスケジューリングを行う。このため、非優先回線のリクエストの有無に拘わらず、常に優先回線を優先的にスケジューリングすることができる。但し、処理時間は、上記一括処理方式の 2 倍の処理時間が必要となる。例えば、入力回線 # 0 に着目して見ると、優先回線が出力回線 # 2 , # 3 で、非優先回線が出力回線 # 1 である。一括処理であれば、処理順序から非優先回線が選択されてしまうが、優先回線 / 非優先回線の処理を順次処理にしているため優先回線の出力回線 # 2 が選択できる。

【 0 0 8 8 】

一方、入力回線 # 2 に着目してみると、優先回線が出力回線 # 0 で、非優先回線が出力回線 # 2 , # 3 である。これもまた、優先回線が優先的に選択されるが、出力回線 # 0 を処理する際には、既に入力回線 # 3 によって出力回線 # 0 が確定されているため確定できず、その結果、非優先回線である出力回線 # 3 が確定となっている。

【 0 0 8 9 】

このように、全入力回線にわたって、優先回線の処理を行った後で、非優先回線の処理を行うため、完全に優先回線を優先的にスケジューリングでき、なおかつ、優先回線の処理で生きの回線を非優先回線が一利用することにより、効率の良いスケジューリングが可能である。第 1 実施例では、優先回線と非優先回線の処理順序が同一である（すなわち優先回線の処理と非優先回線の処理で、共通の最優先入力回線、最優先出力回線を使用している）が、第 2 実施例では、二つの

処理で別々に最優先回線を管理し、前半の処理では優先回線の最優先入力回線—最優先出力回線が第 1 優先で処理される順序パターンを使用し、後半の処理では、非優先回線の最優先入力回線、最優先出力回線が第 1 優先で処理されるパターンを使用する。

【 0 0 9 0 】

次に、優先回線と非優先回線の処理を並列に処理する第 3 の実現方法について説明する。図 1 9 は、優先スケジューリング並列処理の第 1 実施例のフローチャートを示す。同図中、ステップ S 1 3 0 では、最優先入力回線の最優先出力回線が第 1 優先で処理されるパターンを選択する。次に、ステップ S 1 3 2 で選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象の VOQ は前周期到着パケットを有する VOQ のみである。このステップ S 1 3 2 と並列にステップ S 1 3 4 を実行し選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象の VOQ は全 VOQ である。

【 0 0 9 1 】

次のステップ S 1 3 6 では、ステップ S 1 3 2 のスケジューリング結果とステップ S 1 3 4 のスケジューリング結果との競合判定を行い、競合が発生した場合には優先回線側（ステップ S 1 3 2 のスケジューリング結果）を選択する。この後、ステップ S 1 3 8 で、図 1 3 のステップ S 5 4 ~ S 7 0 と同ようにして入力回線 # IN についての VOQ # O の前周期到着要求数である要求 A (IN, O) で判定して最優先出力回線を更新すると共に、入力回線 # IN についての VOQ # O の現周期到着要求数である要求 B (IN, O) で判定して最優先出力回線を更新し、さらに、図 1 3 のステップ S 7 4 ~ S 9 0 と同ようにして最優先入力回線を更新して処理を終了する。なお、ステップ S 1 3 8 では優先回線と非優先回線を一括処理しても良い。

【 0 0 9 2 】

図 2 0 を用いて優先スケジューリング並列処理の第 1 実施例の動作例を説明する。優先回線と非優先回線のスケジューリングを並列に行い、図 2 0 に示す 2 つの一時的なスケジューリング結果が導かれる。次に、両方のスケジューリング結

果が競合していないかを判定する。この例では、優先回線側の入力回線 # 1 と、非優先回線側の入力回線 # 1 が同じ V O Q # 1 を選択しており、また、優先回線側の入力回線 # 0 と非優先回線側の入力回線 # 2 が同じ V O Q # 2 を選択しており、更に優先回線側の入力回線 # 3 は V O Q # 0 を選択し、非優先回線側の入力回線 # 3 は V O Q # 3 を選択しているように、同一入力回線が異なる V O Q を選択している。

【 0 0 9 3 】

このように、優先回線と非優先回線間で異なる入力回線が同一出力回線を選択したり、同じ入力回線でも異なる V O Q を選択したり、また両方とも同じ V O Q を選択した場合には、すべて優先回線側の結果を採用して、競合のあった非優先回線側の確定状態を無効とする。図中では無効状態を×印で示す。このように、優先回線と非優先回線とのスケジューリングを並列処理することにより、スケジューリング処理時間の短縮が図れ、なおかつ、競合時には非優先回線側の結果を無効化することにより、競合を回避して優先回線を優先的にスケジューリングすることが可能である。

【 0 0 9 4 】

なお、本実施例もまた、優先回線と非優先回線の処理順序が同一であるが、2つの処理で別々に最優先回線を管理し、それぞれ独立した処理順序でスケジューリングしても良い。また、競合判定をスケジューリング後に一括して行っているが、優先処理毎に行っても良い。また、本実施例では優先回線／非優先の2つの処理としているが優先度は複数あっても構わない。

【 0 0 9 5 】

上記の第2実施例では同一入力回線の中で優先回線を優先的に選択する方法について説明を行ったが、異なる入力回線間で優先的に優先回線を選択する第3実施例について説明する。

【 0 0 9 6 】

このようなケースとして、ひとつの出力回線 (V O Q) の中に複数の Q o S (Quality of Service) を有するスイッチにおいて、高優先クラスの packets を持つ入力回線を優先的にスケジューリングする場合などがある

。例えば、図 2 1 に示すように、入力回線 # 0 は出力回線 # 0 宛ての高優先グループ S G R P # 0 のパケットを持ち、入力回線 # N - 1 は出力回線 # 0 宛ての低優先グループ S G R P # 1 のパケットを持っている場合、高優先グループ S G R P # 0 のパケットを持つ入力回線 # 0 を優先的にスケジューリングする。

【 0 0 9 7 】

図 2 2 は、優先スケジューリング順次処理の第 3 実施例のフローチャートを示す。この実施例は最優先出力回線のポインタが優先グループ／低優先グループで共通の場合である。同図中、ステップ S 1 4 0 では、最優先入力回線の最優先出力回線が第 1 優先で処理されるパターンを選択する。次に、ステップ S 1 4 2 で選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象の V O Q は高優先グループ S G R P のパケットを有する V O Q のみである。

【 0 0 9 8 】

次に、ステップ S 1 4 4 で選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象の V O Q は全 V O Q である。次のステップ S 1 4 6 では、図 1 3 のステップ S 5 4 ～ S 7 0 と同ようにして入力回線 # I N についての V O Q # O の要求数 (= 要求 Q A + 要求 Q B) である要求 Q T (I N , O) で判定して最優先出力回線を更新する。なお、要求 Q A (I N , O) は、入力回線 # I N についての V O Q # O の高優先グループの要求数であり、要求 Q B (I N , O) は、入力回線 # I N についての V O Q # O の低優先グループの要求数である。さらに、次のステップ S 1 4 8 で、図 1 3 のステップ S 7 4 ～ S 9 0 と同ようにして最優先入力回線を更新して処理を終了する。

【 0 0 9 9 】

図 2 3 は、優先スケジューリング順次処理の第 4 実施例のフローチャートを示す。この実施例は最優先出力回線のポインタが優先グループ／低優先グループで独立の場合である。同図中、ステップ S 1 5 0 では、最優先入力回線の最優先出力回線が第 1 優先で処理されるパターンを選択する。次に、ステップ S 1 5 2 で選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象の V O Q は高優先グループのパケットを有する V O Q

のみである。

【0100】

次に、ステップS154で選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象のVOQは全VOQである。次のステップS156で、図13のステップS54～S70と同ようにして入力回線#INについてのVOQ#Oの高優先グループの要求数である要求QA(IN, O)で判定して最優先出力回線を更新し、ステップS158で、図13のステップS54～S70と同ようにして入力回線#INについてのVOQ#Oの低優先グループの要求数である要求QB(IN, O)で判定して最優先出力回線を更新する。さらに、次のステップS160で、図13のステップS74～S90と同ようにして最優先入力回線を更新して処理を終了する。

【0101】

図24を用いて優先スケジューリング順次処理の第3実施例の動作例を説明する。図中、スケジューリング処理の前半（第1～第4優先）で、高優先回線である高優先グループの要求を持つ回線だけを対象としてスケジューリングを実行し、後半（第5～第8優先）で未確定の回線について低優先グループの要求を持つ回線を対象としてスケジューリングを行う。これにより、高優先グループを完全に優先してスケジューリングでき、なおかつ、空き帯域を有効に使用して低優先グループの packets を送出することができる。

【0102】

図25は、優先スケジューリング並列処理の第2実施例のフローチャートを示す。同図中、ステップS170では、最優先入力回線の最優先出力回線が第1優先で処理されるパターンを選択する。次に、ステップS172で選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象のVOQは高優先グループの packets を有するVOQのみである。このステップS172と並列にステップS174を実行し選択したパターンの処理順序に従ってスケジューリング処理を実施する。このときのスケジューリング対象のVOQは全VOQである。

【0103】

次のステップ S 1 7 6 では、ステップ S 1 7 2 のスケジューリング結果とステップ S 1 7 4 のスケジューリング結果との競合判定を行い、競合が発生した場合には高優先グループ側（ステップ S 1 7 2 のスケジューリング結果）を選択する。この後、ステップ S 1 7 8 で、図 1 3 のステップ S 5 4 ～ S 7 0 と同ようにして入力回線 # I N についての V O Q # O の高優先グループの要求数である要求 Q A (I N , O) で判定して最優先出力回線を更新すると共に、入力回線 # I N についての V O Q # O の低優先グループの要求数である要求 Q B (I N , O) で判定して最優先出力回線を更新し、さらに、図 1 3 のステップ S 7 4 ～ S 9 0 と同ようにして最優先入力回線を更新して処理を終了する。なお、ステップ S 1 7 8 では優先回線と非優先回線を一括処理しても良い。

【 0 1 0 4 】

図 2 6 を用いて優先スケジューリング並列処理の第 2 実施例の動作例を説明する。高優先グループと低優先グループのスケジューリングを並列に行い、図 2 0 に示す 2 つの一時的なスケジューリング結果が導かれる。次に、両方のスケジューリング結果が競合していないかを判定する。この例では、高優先グループ側の入力回線 # 1 と、低優先グループ側の入力回線 # 1 が同じ V O Q # 1 を選択しており、また、高優先グループ側の入力回線 # 0 と低優先グループ側の入力回線 # 2 が同じ V O Q # 2 を選択しており、更に高優先グループ側の入力回線 # 3 は V O Q # 0 を選択し、低優先グループ側の入力回線 # 3 は V O Q # 3 を選択しているように、同一入力回線が異なる V O Q を選択している。

【 0 1 0 5 】

上記の図 2 2 （または図 2 3 ）と図 2 5 の 2 つの処理方式を用いれば、全回線に渡って高優先グループのパケットを優先的に読み出すことができ、例えば、低優先グループにベストエフォートトラヒックが割り当てられた場合、無秩序なベストエフォートトラヒックによる影響を受けることなく、高優先グループのパケットを送出することが可能である。

【 0 1 0 6 】

なお、高優先グループと低優先グループとで処理順序を変えても良い。また、高優先グループと低優先グループの処理を一括して行い、最優先出力回線の更新

の際に高優先グループのリクエストを有する回線を優先的に次回の最優先出力回線とするようにしても良い。しかし、この場合は完全に高優先グループを優先してスケジューリングする事ができず、高優先グループが低優先グループの影響を受けてしまう可能性がある。

【 0 1 0 7 】

さらに、第2実施例の優先回線スケジューリングと、第3実施例の優先グループスケジューリングを組み合わせても良い。例えば、一括処理方式では、優先グループ処理を順次処理、優先回線処理を一括処理にする方法や、順次処理では、（高優先グループ、優先回線）、（高優先グループ、非優先回線）、（低優先グループ、優先回線）、（低優先グループ、非優先回線）の順に処理する方法がある。また、並列処理では、上記順次処理の4種類を並列処理しても良い。また、これらの組み合わせ以外の如何なる組み合わせも良いし、優先グループ／優先回線はいくつあっても良い。

【 0 1 0 8 】

次に、上記第1実施例～第3実施例の入力回線と出力回線との対応を入れ替えたスケジューリング処理の第4実施例について説明する。

【 0 1 0 9 】

図27及び図28は、図4及び図5における入力回線と出力回線との対応を入れ替えた場合の順序パターンを示す。マトリクス内の数値は入力回線番号となり、最上位行が出力回線#0、最下位行が出力回線#3の処理順序となる。また、スケジューリング処理における処理順序の選択は、最優先出力回線の最優先入力回線が第1優先で処理される順序パターンを使用する。スケジューリング処理では、4つの出力回線が並列で、各優先順位のスケジューリング対象入力回線が確定可能であるかを第1～第Nまで順次判定してゆく。

【 0 1 1 0 】

図29及び図30にスケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す。なお、図中、丸印が付いているものがリクエストありを意味し、例えば、図29の第1優先では出力回線#1から入力回線#1のリクエ

ストと、出力回線 # 2 から入力回線 # 2 のリクエストが存在し、出力回線 # 0 と # 3 についてはリクエストが無いことを表している。なお、スケジューリング要求数は、入力バッファからのリクエスト受信時にインクリメントし、スケジューリング完了時にデクリメントすることによって管理される。ここでは、簡略化のため、現在リクエストのある回線に 2 個以上のリクエストが存在することとし、スケジューリング前とスケジューリング後でリクエスト有無状態が変わらない例を用いている。

【 0 1 1 1 】

図 2 9 のスケジューリングサイクル # 1 におけるスケジューリング順序パターンは、最優先出力回線が # 2 で、出力回線 # 2 の最優先入力回線が # 2 であることから、出力回線 # 2，入力回線 # 2 が第 1 優先で処理される順序パターン # 1 を使用する。スケジューリング処理は、上記順序パターンの第 1 優先から第 N 優先まで順次 N 並列で、スケジューリングの可否を判定して行く。

【 0 1 1 2 】

ここで、スケジューリングの可否は、自出力回線が未確定、かつスケジューリング対象の入力回線が未確定、かつリクエスト情報有りのときスケジューリング可能と判定し、これらの条件が一致しなければ不可と判定する。スケジューリング可能と判定された場合には、自出力回線番号と当該入力回線番号とを確定済みの状態として、スケジューリング結果を保持する。例えば第 1 優先処理では、全ての出力回線が未確定であり、また全ての入力回線が未確定である。従って、スケジューリング要求のある出力回線 # 1 と出力回線 # 2 は条件を全て満たしているため、これらはスケジューリング可能と判定される。図中では、スケジューリングが確定した状態を梨地の丸印で示している。

【 0 1 1 3 】

次に、第 2 優先処理では、出力回線 # 0 が入力回線 # 1 のリクエストを持っているが、既に出力回線 # 1 によって入力回線 # 1 は確定済みであるため判定条件に一致せず、確定することができない。また、出力回線 # 2 は入力回線 # 3 のリクエストを持っているが既に自出力回線が確定済みであるため判定条件に一致しない。従って、この第 2 優先処理ではどの回線も確定を行うことができない。ま

た、第3優先処理も同ように全ての回線で条件一致しない。そして、第4優先処理において、出力回線#0の入力回線#3が条件一致となり確定となる。

【0 1 1 4】

この結果、スケジューリングサイクル#1のスケジューリングの結果として以下の結果が得られる。出力回線#0を入力回線#3に接続、出力回線#1を入力回線#1に接続、出力回線#2を入力回線#2に接続、出力回線#3は無し（読み出し不可）とする。

次に、最優先出力回線の更新は、スケジューリング完了後のリクエスト有無情報に基づき、スケジューリング要求を持つ出力回線を優先的に選択するようにする。ここでは、現在の最優先出力回線+1 MOD N から検索を開始して、最初に検出されたリクエストを持つ出力回線を次回の最優先出力回線としている。図29のスケジューリングサイクル#1では、現最優先出力回線が#2であり、 $2+1$ の出力回線#3から検索を開始し、最初にリクエストが存在する回線として検出された出力回線#3を次回の最優先出力回線としている。図中、ポイント更新の有無を明確にするため、更新を行った部分に下線を付している。

【0 1 1 5】

次に、各出力回線の最優先入力回線の更新処理については、出力回線内の複数の入力回線を公平にスケジューリングするため、各出力回線のスケジューリング結果とスケジューリング要求有無に基づき、出力回線毎に独立に最優先入力回線の更新を行う。

【0 1 1 6】

図29で更新処理を説明すると、まず出力回線#0は現最優先入力回線#2にリクエストが無く入力回線#3が確定されたため、確定回線（#3）+1 MOD N（=0）で得られる入力回線#0から検索を開始して、最初に検出されたリクエストを有する入力回線#1を次回の最優先入力回線とする。出力回線#1および出力回線#3は現最優先入力回線（出力回線#1は入力回線#3，出力回線#3は入力回線#1）にリクエストがあり、その回線が確定できなかったため、現最優先入力回線を保持する。このため、出力回線#1と#3の最優先入力回線は更新されていない。また、出力回線#2は、現最優先入力回線#2にリク

エストがあり、かつ、その回線を確定したため、確定回線（# 2）+ 1 MOD N から検索を開始して最初に検出されたリクエストを有する入力回線 # 3 を次の最優先入力回線とする。

【 0 1 1 7 】

図 3 0 に示すスケジューリングサイクル # 2 では、スケジューリングサイクル # 1 の最優先回線更新の結果を受けて、出力回線 # 3，入力回線 # 1 が第 1 優先で処理されるパターン # 3 に従い同様の手順でスケジューリングを行う。また、第 2 実施例や第 3 実施例と同様の手段により、優先回線の選択や Q o S 制御を行うことが可能である。

【 0 1 1 8 】

図 3 1 は、本発明の入力バッファ型スイッチの第 2 実施例の構成図を示す。同図中、図 3 と同一部分には同一符号を付す。N 回線のスケジューリング処理が 1 パケット時間内で終わらないような大規模なスイッチでは図示のように、システム全体で α 個のスケジューラ $14_1 \sim 14_\alpha$ を備え、第 1 実施例～第 4 実施例のスケジューリング処理に従い、 α 個のスケジューラ $14_1 \sim 14_\alpha$ が並列処理を行うことによりスループットを確保する。なお、1 パケット時間とは、伝送路上で 1 パケットが伝送される時間であり、伝送路が 24 Gbps でパケット長が 64 バイトのときは、 205.76×10^{-9} となる。

【 0 1 1 9 】

α の値は N 回線のスケジューリング処理に要する時間と等しく、例えば N 回線のスケジューリング処理に 4 パケット時間かかる場合、4 つのスケジューリング装置を備える。そして、入力バッファ $12_1 \sim 12_N$ のいずれかにパケットが到着したとき、スケジューリング要求を 4 つのスケジューラ $14_1 \sim 14_\alpha$ のいずれかに通知する。

【 0 1 2 0 】

4 つのスケジューラ $14_1 \sim 14_\alpha$ は互いに独立にスケジューリングを行い、スケジューリング結果を入力バッファ $12_1 \sim 12_N$ に通知する。入力バッファ $12_1 \sim 12_N$ では、どのスケジューラ $14_1 \sim 14_\alpha$ からのスケジューリング結果であるかを意識することなく、指示された回線の先頭パケットを読み出すこ

とにより、パケットの順序が逆転することなくパケットを転送することが可能である。

【 0 1 2 1 】

図 3 2 に 4 つのスケジューラ # 0 ~ # 3 の処理イメージとパケット送出の関係を示す。ここでは $\alpha = 4$ として、図示のように各スケジューラ # 0 ~ # 3 は 4 単位時間 (= 1 パケット時間) $TS \# 0 \sim TS \# 3$ でスケジューリングを行い、単位時間 TS 毎に任意のスケジューラが各入力バッファ $12_1 \sim 12_N$ に対してスケジューリング結果を通知することにより、スループットを確保する。

【 0 1 2 2 】

これによれば、超高速デバイスを用いなくても一般的なデバイスを用いて大規模スイッチを実現することが可能となる。また、本発明のスケジューリング方法であれば、 α 台の並列でスケジューリング処理を行うため、比較的短い時間でスケジューリングが可能であり、大規模スイッチのスケジューリング処理を少数のスケジューラで実現することが可能である。

【 0 1 2 3 】

本発明によれば、例えば入力回線毎に最優先で処理したい出力回線を管理し、なおかつ、最優先入力回線の最優先出力回線に従って全回線の処理を並列処理することにより、公平なスケジューリングが可能で、更にスケジューリング処理時間の短縮を図ることができる。このため、低遅延かつ高スループットのスケジューリングを実現することが可能となる。

【 0 1 2 4 】

また、負荷の高い回線や、高優先 QoS のパケットを有する回線を優先的にスケジューリングすることで、様々なトラヒック条件下で良好なスループットを得ることができ、なおかつ、優先クラスに対して QoS 保証を行うことが可能となる。

【 0 1 2 5 】

なお、ステップ $S10 \sim S12$, $S50 \sim S52$, $S100 \sim S104$, $S110 \sim S114$, $S130 \sim S136$, $S140 \sim S144$, $S150 \sim S154$, $S170 \sim S176$ が請求項または付記記載のスケジューリング処理手段に

対応し、ステップ S 1 4 ~ 4 0, S 5 4 ~ S 9 2, S 1 0 6 ~ 1 0 8, S 1 1 6 ~ 1 2 0, S 1 3 8, S 1 4 6 ~ 1 4 8, S 1 5 6 ~ 1 6 0, S 1 7 8 が優先回線更新手段に対応する。

【 0 1 2 6 】

(付記 1) 複数の入力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先入力回線の最優先出力回線が第 1 優先で処理される処理順序に従って全入力回線のスケジューリング処理を並列に処理し、スケジューリングサイクル毎に最優先入力回線および各入力回線の最優先出力回線を更新することを特徴とするスケジューリング方法。

【 0 1 2 7 】

(付記 2) 付記 1 記載のスケジューリング方法において、
前記最優先入力回線および各入力回線の最優先出力回線を更新する際に、パケットの存在する回線を優先的に選択することを特徴とするスケジューリング方法。

【 0 1 2 8 】

(付記 3) 複数の入力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先入力回線の最優先出力回線が第 1 優先で処理される処理順序に従って全入力回線のスケジューリングを並列に処理するスケジューリング処理手段と、

スケジューリングサイクル毎に最優先入力回線および各入力回線の最優先出力回線を更新する優先回線更新手段とを

有することを特徴とするスケジューリング装置。

【 0 1 2 9 】

(付記 4) 付記 3 記載のスケジューリング装置において、
前記優先回線更新手段は、最優先入力回線および各入力回線の最優先出力回線を更新する際に、パケットの存在する回線を優先的に選択することを特徴とするスケジューリング装置。

【 0 1 3 0 】

(付記 5) 付記 4 記載のスケジューリング装置において、

前記優先回線更新手段は、前記最優先出力回線がスケジューリングできない場合には、前記各入力回線の最優先出力回線を更新する際に、当該最優先出力回線を更新しないことを特徴とするスケジューリング装置。

【 0 1 3 1 】

(付記 6) 付記 4 記載のスケジューリング装置において、

前記優先回線更新手段は、前記各入力回線の最優先出力回線を更新する際に、出力回線の中の優先回線を非優先回線に優先して選択し更新することを特徴とするスケジューリング装置。

【 0 1 3 2 】

(付記 7) 付記 6 記載のスケジューリング装置において、

前記スケジューリング処理手段は、前記優先回線と非優先回線とで別々に最優先出力回線を管理することを特徴とするスケジューリング装置。

【 0 1 3 3 】

(付記 8) 付記 6 記載のスケジューリング装置において、

前記スケジューリング処理手段は、前記優先回線と非優先回線とで一括して最優先出力回線を管理することを特徴とするスケジューリング装置。

【 0 1 3 4 】

(付記 9) 付記 6 記載のスケジューリング装置において、

前記スケジューリング処理手段は、スケジューリングサイクルの前半で優先回線を対象としたスケジューリングを行った後、非優先回線を対象としたスケジューリングを行うことを特徴とするスケジューリング装置。

【 0 1 3 5 】

(付記 1 0) 付記 6 記載のスケジューリング装置において、

前記スケジューリング処理手段は、優先回線と非優先回線のスケジューリングを並列に実行し、両スケジューリング結果で競合が発生したとき優先回線のスケジューリング結果を優先することを特徴とするスケジューリング装置。

【 0 1 3 6 】

(付記 1 1) 付記 4 記載のスケジューリング装置において、

前記優先回線更新手段は、前記各入力回線の最優先出力回線を更新する際に、

出力回線の中の高優先グループを低優先グループに優先して選択し更新することを特徴とするスケジューリング装置。

【 0 1 3 7 】

(付記 1 2) 付記 6 記載のスケジューリング装置において、
前記スケジューリング処理手段は、前記高優先グループと低優先グループとで別々に最優先出力回線を管理することを特徴とするスケジューリング装置。

【 0 1 3 8 】

(付記 1 3) 付記 6 記載のスケジューリング装置において、
前記スケジューリング処理手段は、前記高優先グループと低優先グループとで一括して最優先出力回線を管理することを特徴とするスケジューリング装置。

【 0 1 3 9 】

(付記 1 4) 複数の出力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先出力回線の最優先入力回線が第 1 優先で処理される処理順序に従って全出力回線のスケジューリングを並列に処理するスケジューリング処理手段と、

スケジューリングサイクル毎に最優先出力回線および各出力回線の最優先入力回線を更新する優先回線更新手段とを

有することを特徴とするスケジューリング装置。

【 0 1 4 0 】

【発明の効果】

上述の如く、請求項 1 に記載の発明は、複数の入力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先入力回線の最優先出力回線が第 1 優先で処理される処理順序に従って全入力回線のスケジューリング処理を並列に処理し、スケジューリングサイクル毎に最優先入力回線および各入力回線の最優先出力回線を更新することにより、各入力回線が最優先回線になったとき、自入力回線内の最優先出力回線を必ず確定することができ、単一の入力回線に着目して見れば、その入力回線内の出力回線が均等に選択されるため、入力回線間の順序が固定的であっても、公平なスケジューリングを行うことが可能となり、また同時に、並列処理により処理時間の短縮が図れ、高速なスケジューリングが可能と

なる。

【 0 1 4 1 】

請求項 2 に記載の発明は、最優先入力回線および各入力回線の最優先出力回線を更新する際に、パケットの存在する回線を優先的に選択することにより、リクエストの無い無駄な回線を選択しないので、入力回線間のパスの数が異なる不均等パス条件下においても、トラヒックの存在する回線だけが最優先回線として選択され、さまざまな条件下で公平なスケジューリングを行うことが可能となる。

【 0 1 4 2 】

請求項 3 に記載の発明は、複数の入力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先入力回線の最優先出力回線が第 1 優先で処理される処理順序に従って全入力回線のスケジューリングを並列に処理するスケジューリング処理手段と、スケジューリングサイクル毎に最優先入力回線および各入力回線の最優先出力回線を更新する優先回線更新手段とを有することにより、各入力回線が最優先回線になったとき、自入力回線内の最優先出力回線を必ず確定することができ、単一の入力回線に着目して見れば、その入力回線内の出力回線が均等に選択されるため、入力回線間の順序が固定的であっても、公平なスケジューリングを行うことが可能となり、また同時に、並列処理により処理時間の短縮が図れ、高速なスケジューリングが可能となる。

【 0 1 4 3 】

請求項 4 に記載の発明では、優先回線更新手段は、最優先入力回線および各入力回線の最優先出力回線を更新する際に、パケットの存在する回線を優先的に選択することにより、リクエストの無い無駄な回線を選択しないので、入力回線間のパスの数が異なる不均等パス条件下においても、トラヒックの存在する回線だけが最優先回線として選択され、さまざまな条件下で公平なスケジューリングを行うことが可能となる。

【 0 1 4 4 】

請求項 5 に記載の発明では、優先回線更新手段は、前記最優先出力回線がスケジューリングできない場合には、前記各入力回線の最優先出力回線を更新する際に、当該最優先出力回線を更新しないことにより、今回のスケジューリングサイ

クルで最優先出力回線以外の回線を選択したとしても、次回以降においてまた当該最優先出力回線を優先的に選択することができる。

【 0 1 4 5 】

付記 6 に記載の発明では、優先回線更新手段は、前記各入力回線の最優先出力回線を更新する際に、出力回線の中の優先回線を非優先回線に優先して選択し更新することにより、例えば、負荷の高い回線、キュー長の大きな回線、同じ出力回線でも品質要求の厳しい QoS などにより優先的にスケジューリングしたい回線を優先的に選択することができ、同一入力回線内の出力回線間でトラヒックが不均等な場合でも公平なスケジューリングが可能となり、また、優先したい回線を QoS で選択する場合には、ベストエフォートトラヒックの影響を受けることなく、優先する QoS の回線の遅延及び帯域を保証することが可能となる。

【 0 1 4 6 】

付記 7 に記載の発明では、スケジューリング処理手段は、前記優先回線と非優先回線とで別々に最優先出力回線を管理することにより、優先回線と非優先回線のスケジューリング処理を独立に行うことが可能となる。

【 0 1 4 7 】

付記 8 に記載の発明では、スケジューリング処理手段は、前記優先回線と非優先回線とで一括して最優先出力回線を管理することにより、最優先回線を更新するときに優先回線を優先的に選択して優先回線を優先してスケジューリングしながら、スケジューリング処理の短縮を図ることが可能となる。

【 0 1 4 8 】

付記 9 に記載の発明では、スケジューリング処理手段は、スケジューリングサイクルの前半で優先回線を対象としたスケジューリングを行った後、非優先回線を対象としたスケジューリングを行うことにより、全回線にわたって完全に優先回線を優先して処理でき、なおかつ、未確定の空き帯域を非優先回線に割り当てることにより効率の良いスケジューリングが可能となる。

【 0 1 4 9 】

付記 10 に記載の発明では、スケジューリング処理手段は、優先回線と非優先回線のスケジューリングを並列に実行し、両スケジューリング結果で競合が発生

したとき優先回線のスケジューリング結果を優先することにより、優先回線を優先しながら処理時間の短縮を図ることが可能となる。

【 0 1 5 0 】

付記 1 1 に記載の発明では、優先回線更新手段は、前記各入力回線の最優先出力回線を更新する際に、出力回線の中の高優先グループを低優先グループに優先して選択し更新することにより、例えば、負荷の高い回線、キュー長の大きな回線、同じ出力回線でも品質要求の厳しい Q o S などにより優先的にスケジューリングしたい回線を優先的に選択することができ、同一入力回線内の出力回線間でトラヒックが不均等な場合でも公平なスケジューリングが可能となり、また、優先したい回線を Q o S で選択する場合には、ベストエフォートトラヒックの影響を受けることなく、優先する Q o S の回線の遅延及び帯域を保証することが可能となる。

【 0 1 5 1 】

付記 1 2 に記載の発明は、スケジューリング処理手段は、前記高優先グループと低優先グループとで別々に最優先出力回線を管理することにより、高優先グループと低優先グループのスケジューリング処理を独立に行うことが可能となる。

【 0 1 5 2 】

付記 1 3 に記載の発明では、スケジューリング処理手段は、前記高優先グループと低優先グループとで一括して最優先出力回線を管理することにより、

最優先回線を更新するときに高優先グループを優先的に選択して優先回線を優先してスケジューリングしながら、スケジューリング処理の短縮を図ることが可能となる。

【 0 1 5 3 】

付記 1 4 に記載の発明は、複数の出力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先出力回線の最優先入力回線が第 1 優先で処理される処理順序に従って全出力回線のスケジューリングを並列に処理するスケジューリング処理手段と、スケジューリングサイクル毎に最優先出力回線および各出力回線の最優先入力回線を更新する優先回線更新手段とを有することにより、各出力回線が最優先回線になったとき、自出力回線内の最優先入力回線を必ず確定す

ることができ、単一の出力回線に着目して見れば、その出力回線内の入力回線が均等に選択されるため、出力回線間の順序が固定的であっても、公平なスケジューリングを行うことが可能となり、また同時に、並列処理により処理時間の短縮が図れ、高速なスケジューリングが可能となる。

【図面の簡単な説明】

【図 1】

従来のスケジューリング方法の一例の説明図である。

【図 2】

従来のスケジューリング方法の他の一例の説明図である。

【図 3】

本発明の入力バッファ型スイッチの第 1 実施例の構成図である。

【図 4】

本発明方法の第 1 実施例を説明するための図である。

【図 5】

本発明方法の第 1 実施例を説明するための図である。

【図 6】

スケジューリング処理の第 1 実施例のフローチャートである。

【図 7】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図である。

【図 8】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図である。

【図 9】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図である。

【図 1 0】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図である。

【図 1 1】

スケジューリング前とスケジューリング後とでスケジューリング要求有無状態が異なる場合の最優先入力回線の更新処理を説明するための図である。

【図 1 2】

本発明の第 2 実施例の概要を示す図である。

【図 1 3】

優先スケジューリング一括処理の一実施例のフローチャートである。

【図 1 4】

優先スケジューリング一括処理の一実施例のフローチャートである。

【図 1 5】

優先スケジューリング一括処理の動作例を説明するための図である。

【図 1 6】

優先スケジューリング順次処理の第 1 実施例のフローチャートである。

【図 1 7】

優先スケジューリング順次処理の第 2 実施例のフローチャートである。

【図 1 8】

優先スケジューリング順次処理の第 1 実施例の動作例を説明するための図である。

【図 1 9】

優先スケジューリング並列処理の第 1 実施例のフローチャートである。

【図 2 0】

優先スケジューリング並列処理の第 1 実施例の動作例を説明するための図である。

【図 2 1】

異なる入力回線間で優先的に優先回線を選択する第 3 実施例を説明するための

図である。

【図 2 2】

優先スケジューリング順次処理の第 3 実施例のフローチャートである。

【図 2 3】

優先スケジューリング順次処理の第 4 実施例のフローチャートである。

【図 2 4】

優先スケジューリング順次処理の第 3 実施例の動作例を説明するための図である。

【図 2 5】

優先スケジューリング並列処理の第 2 実施例のフローチャートである。

【図 2 6】

優先スケジューリング並列処理の第 2 実施例の動作例を説明するための図である。

【図 2 7】

本発明方法の第 4 実施例を説明するための図である。

【図 2 8】

本発明方法の第 4 実施例を説明するための図である。

【図 2 9】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図である。

【図 3 0】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図である。

【図 3 1】

本発明の入力バッファ型スイッチの第 2 実施例の構成図である。

【図 3 2】

4 つのスケジューラの処理イメージとパケット送出の関係を示す図である。

【符号の説明】

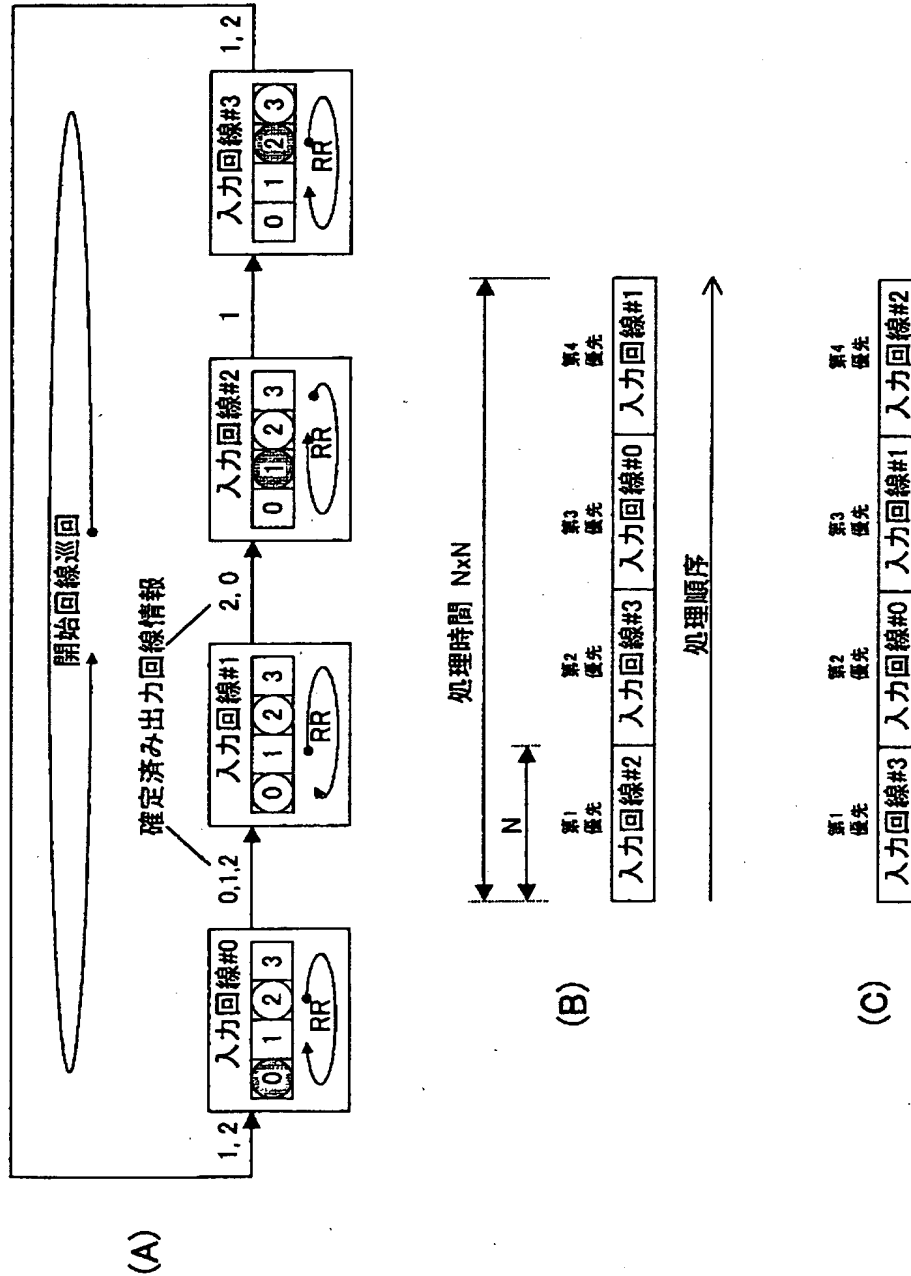
- 1 0₁ ~ 1 0_N 入力回線
- 1 3₁ ~ 1 3_M 論理出力キュー (V O Q)
- 1 4 スケジューラ
- 1 6 パケットスイッチ
- 1 8₁ ~ 1 8_M 出力回線
- 2 0 I / O 部
- 2 2 リクエスト管理部
- 2 4 ポインタ制御部
- 2 6 順序制御指示部
- 2 8 スケジューリング処理部

【書類名】

図面

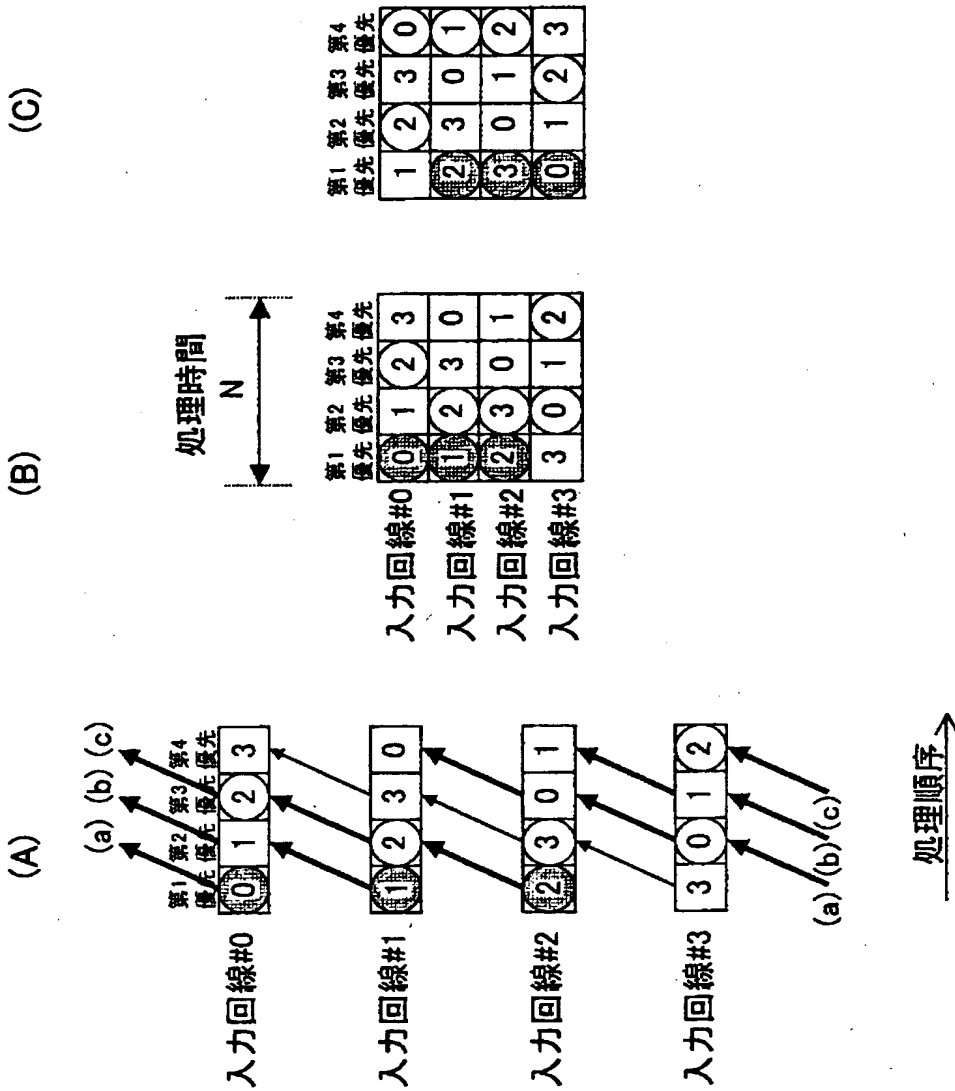
【図 1】

従来のスケジューリング方法の一例の説明図



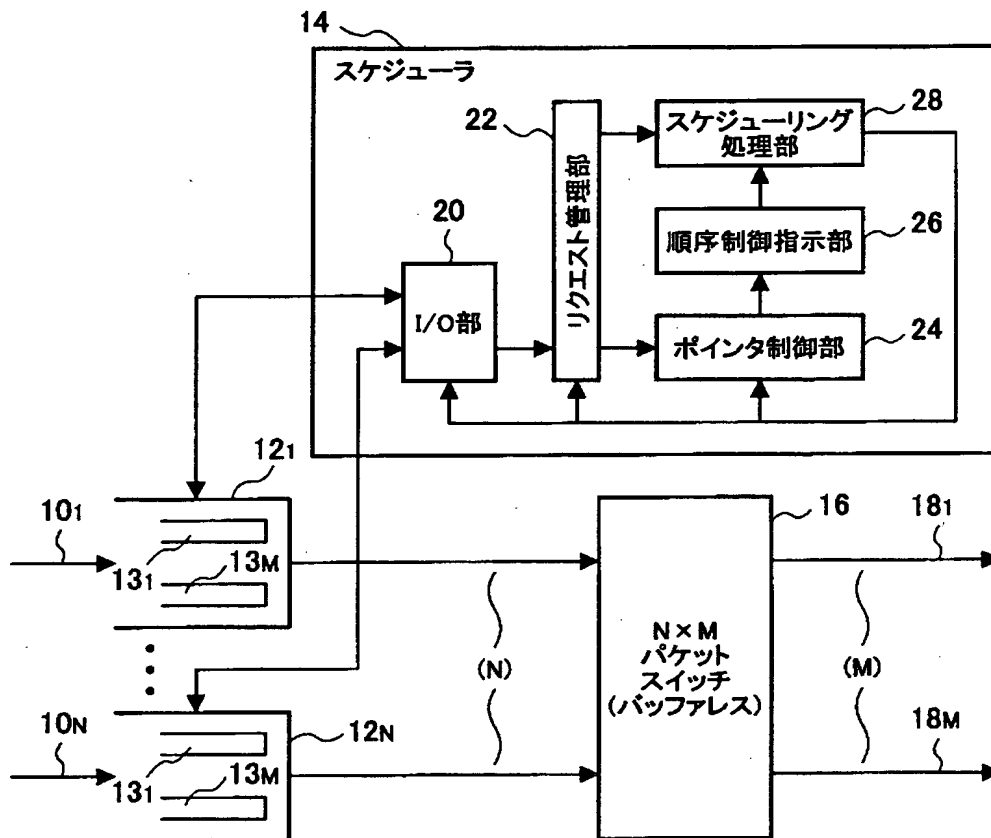
【図 2】

従来のスケジューリング方法の他の一例の説明図



【図 3】

本発明の入力バッファ型スイッチの第 1 実施例の構成図



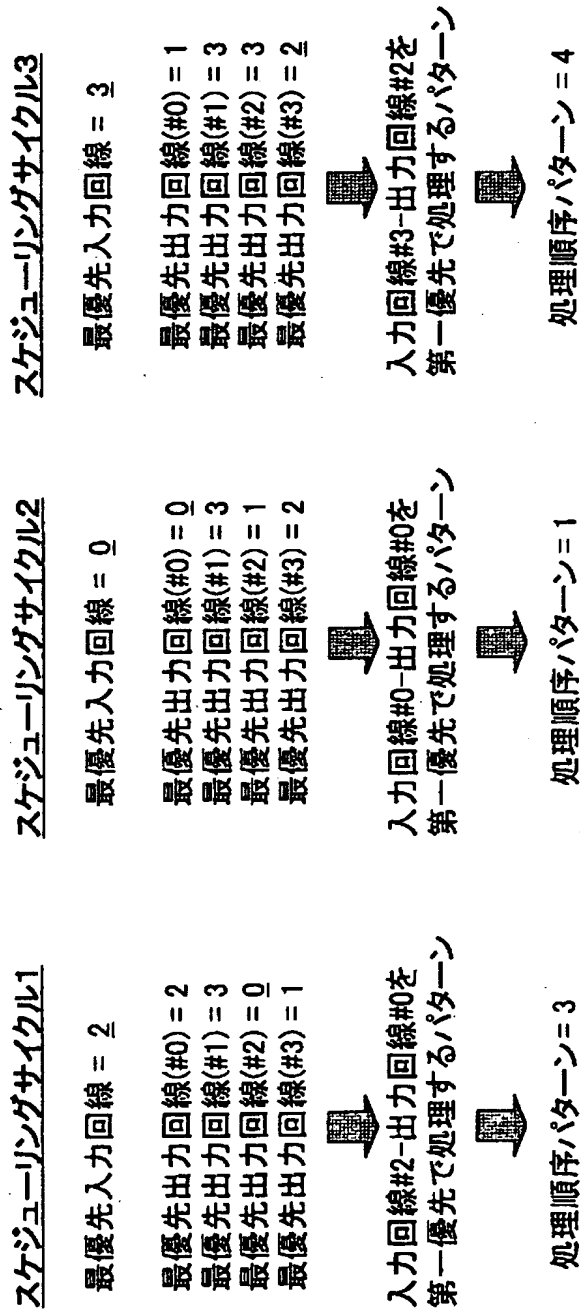
【図 4】

本発明方法の第 1 実施例を説明するための図

入力回線#0	第 1 優先				パターン1
	第 2 優先	第 3 優先	第 4 優先	第 1 優先	
0	1	2	3	0	パターン1
1	2	3	0	1	
2	3	0	1	2	
3	0	1	2	3	
入力回線#1	第 1 優先				パターン2
	第 2 優先	第 3 優先	第 4 優先	第 1 優先	
0	1	2	3	0	パターン2
1	2	3	0	1	
2	3	0	1	2	
3	0	1	2	3	
入力回線#2	第 1 優先				パターン3
	第 2 優先	第 3 優先	第 4 優先	第 1 優先	
0	1	2	3	0	パターン3
1	2	3	0	1	
2	3	0	1	2	
3	0	1	2	3	
入力回線#3	第 1 優先				パターン4
	第 2 優先	第 3 優先	第 4 優先	第 1 優先	
0	1	2	3	0	パターン4
1	2	3	0	1	
2	3	0	1	2	
3	0	1	2	3	

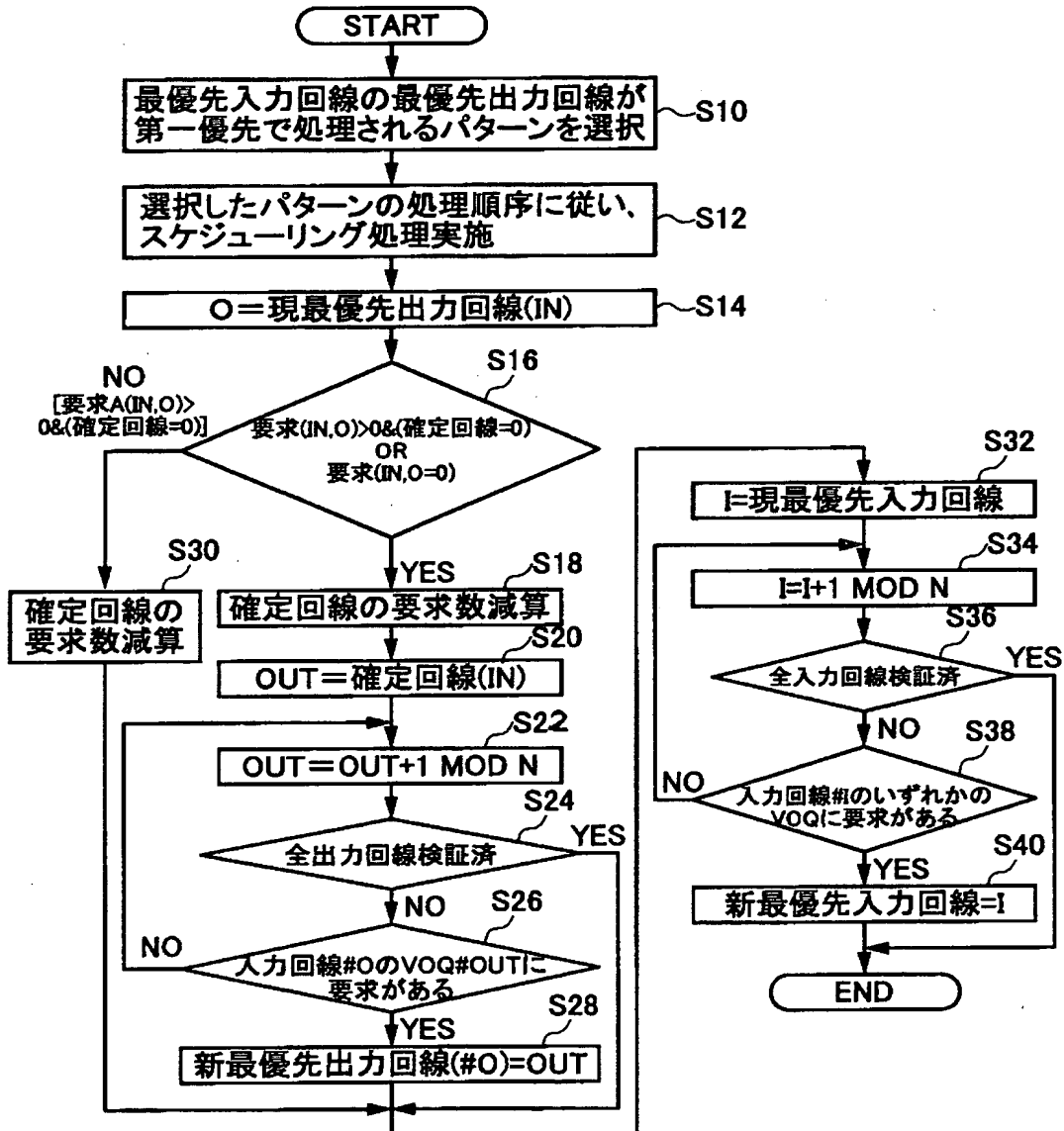
【図 5】

本発明方法の第 1 実施例を説明するための図



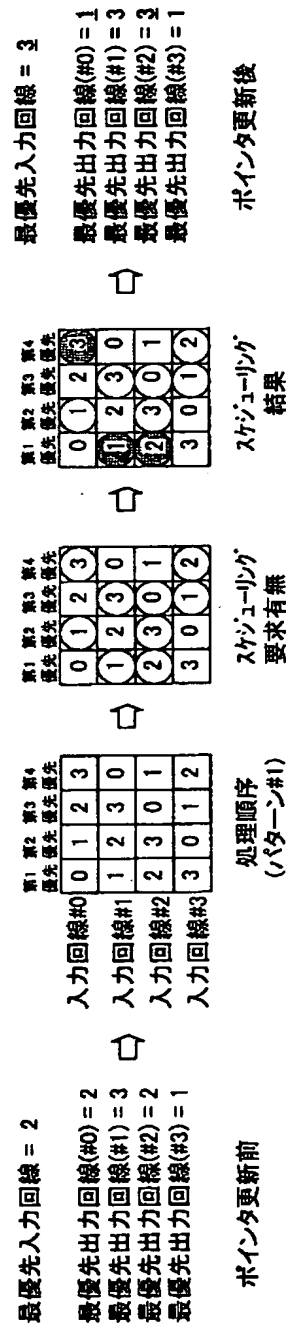
【図 6】

スケジューリング処理の第1実施例のフローチャート



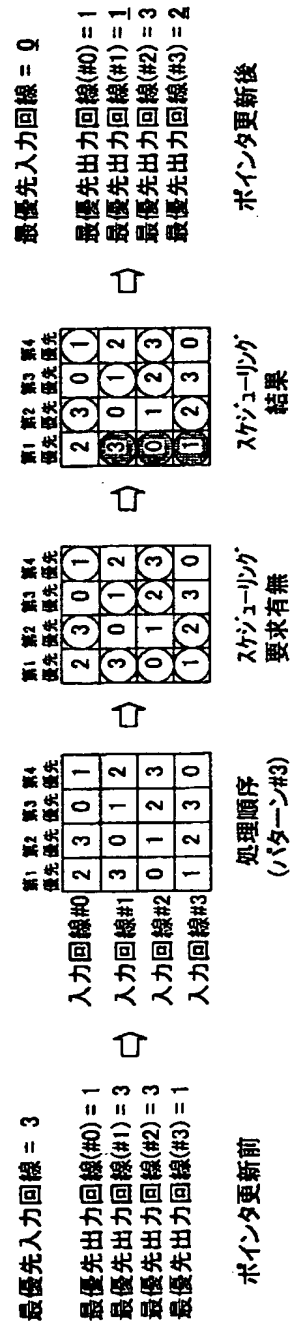
【図 7】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図



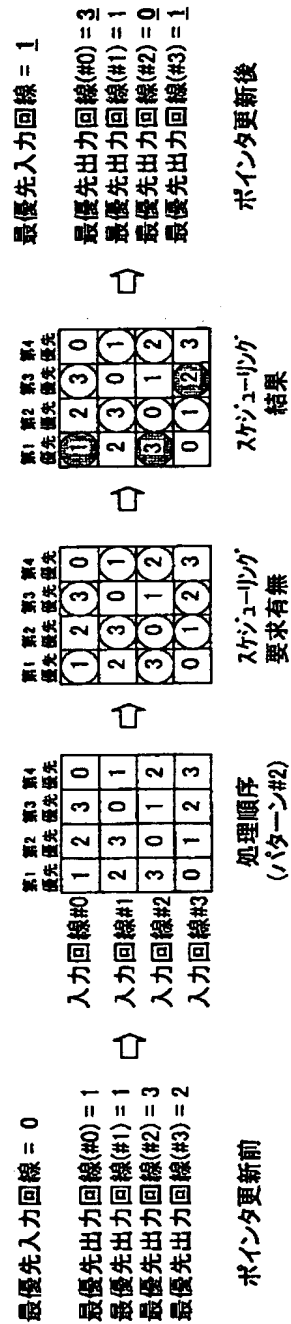
【図 8】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図



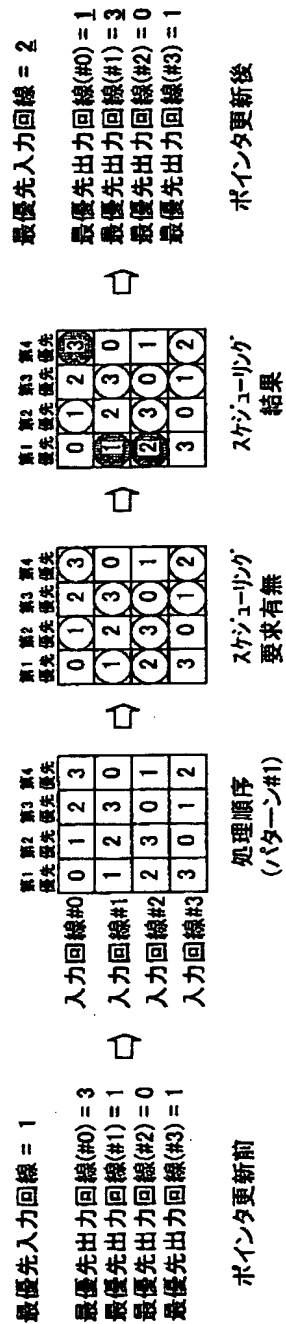
【図 9】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図



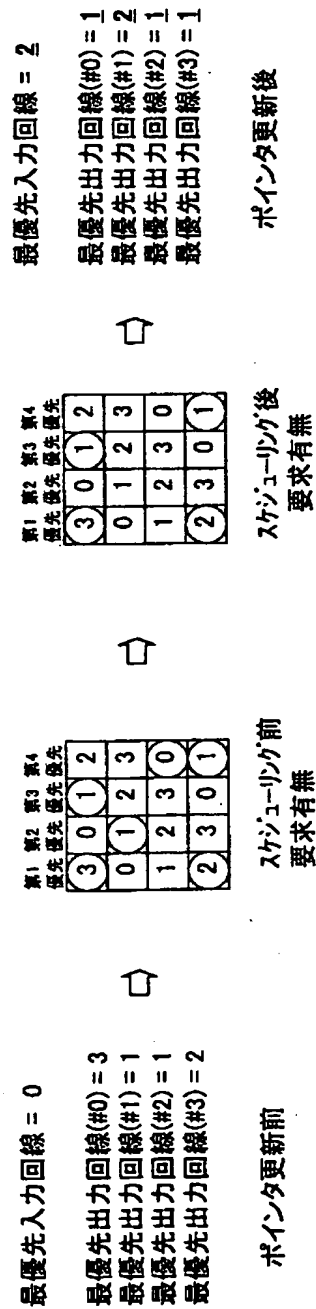
【図 10】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図



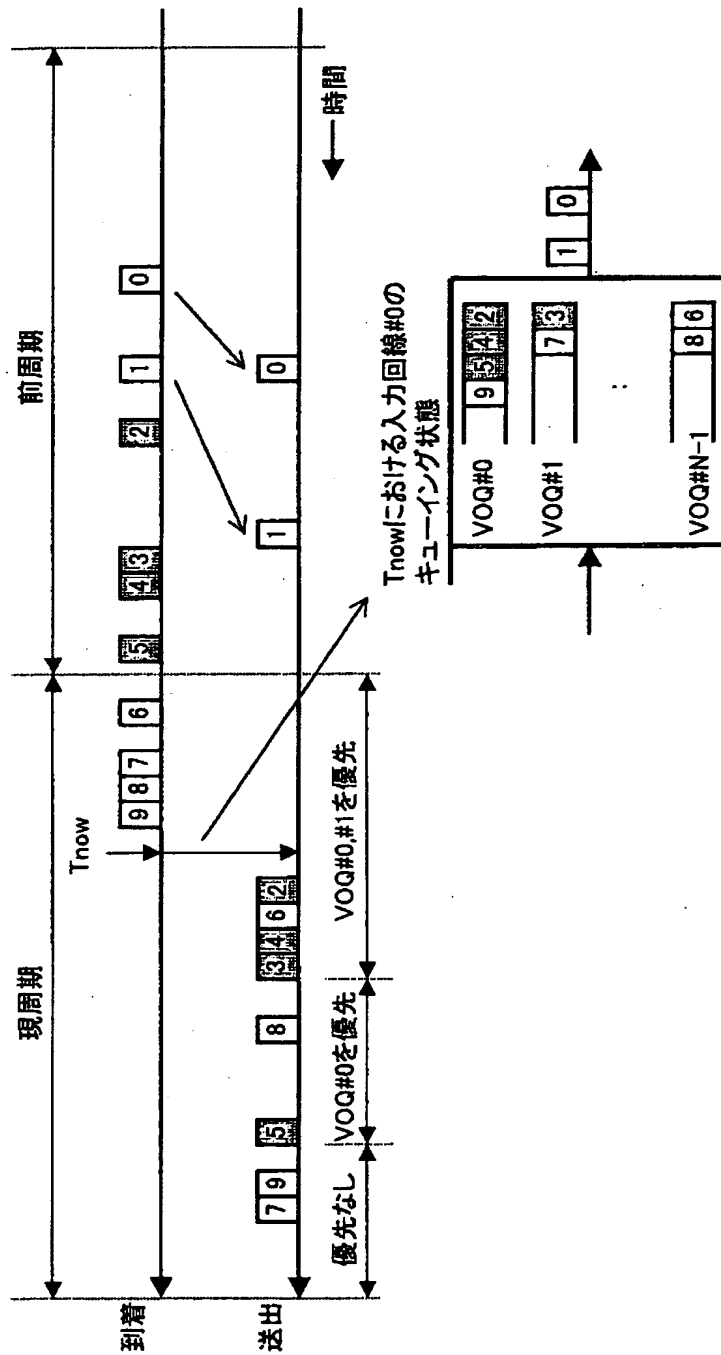
【図 1 1】

スケジューリング前とスケジューリング後とで
スケジューリング要求有無状態が異なる場合の
最優先入力回線の更新処理を説明するための図



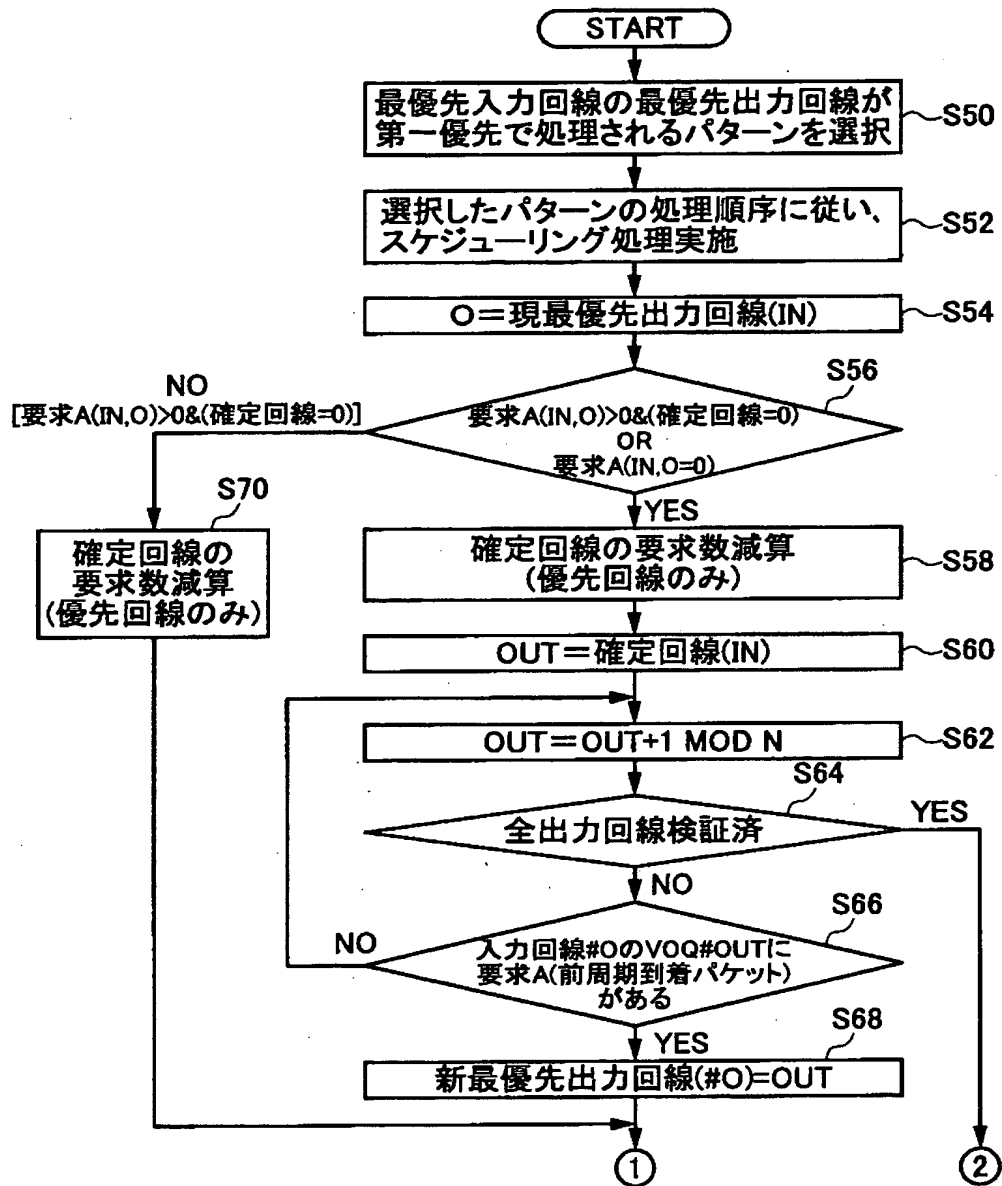
【図12】

本発明の第2実施例の概要を示す図



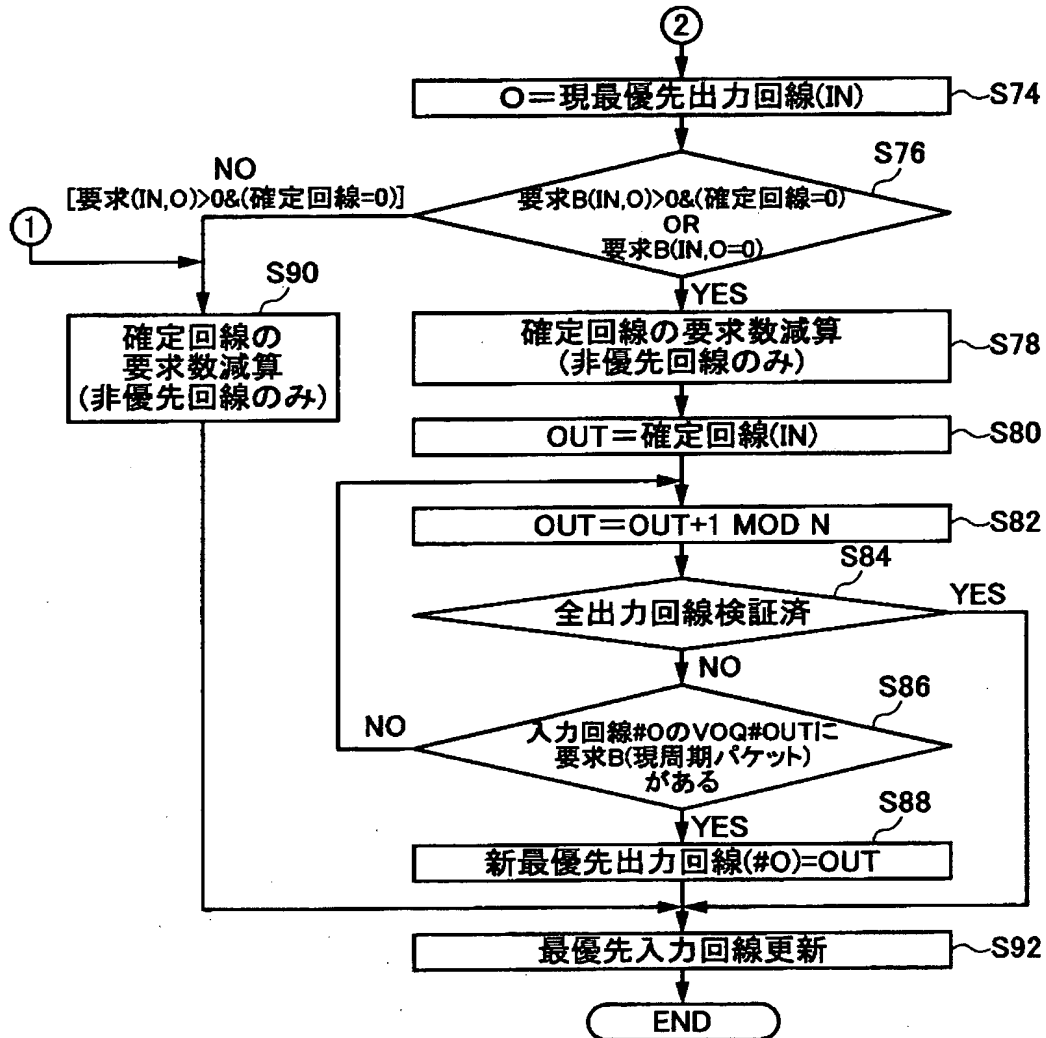
【図 13】

優先スケジューリング一括処理の一実施例のフローチャート



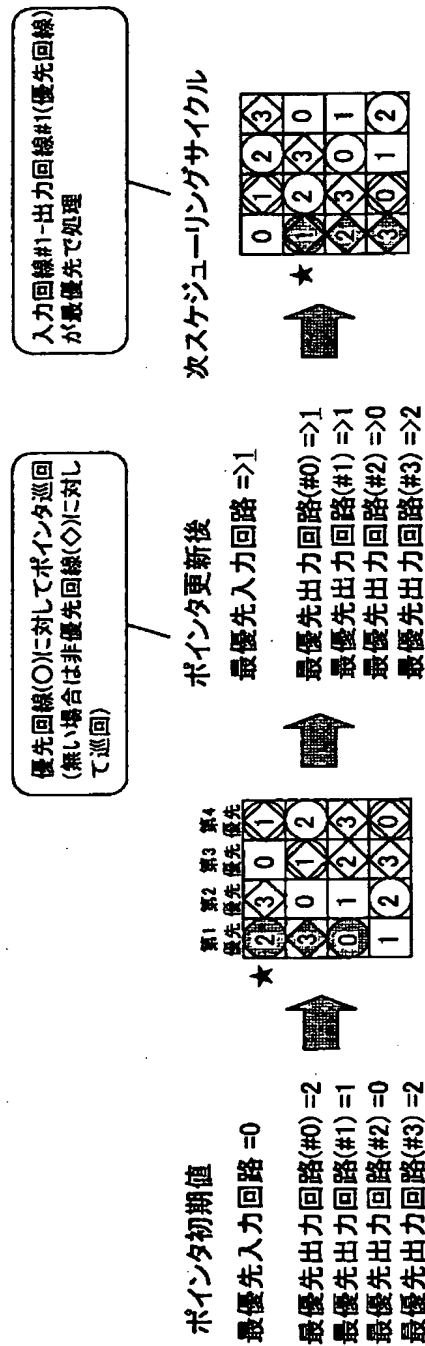
【図 14】

優先スケジューリング一括処理の一実施例のフローチャート



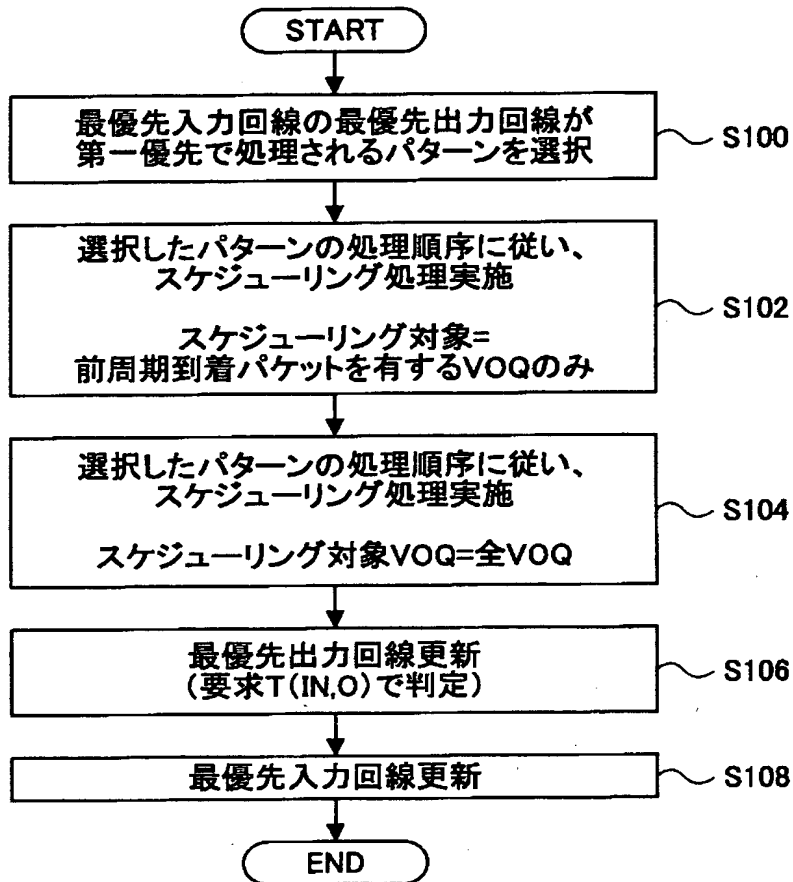
【図 15】

優先スケジューリング一括処理の動作例を説明するための図



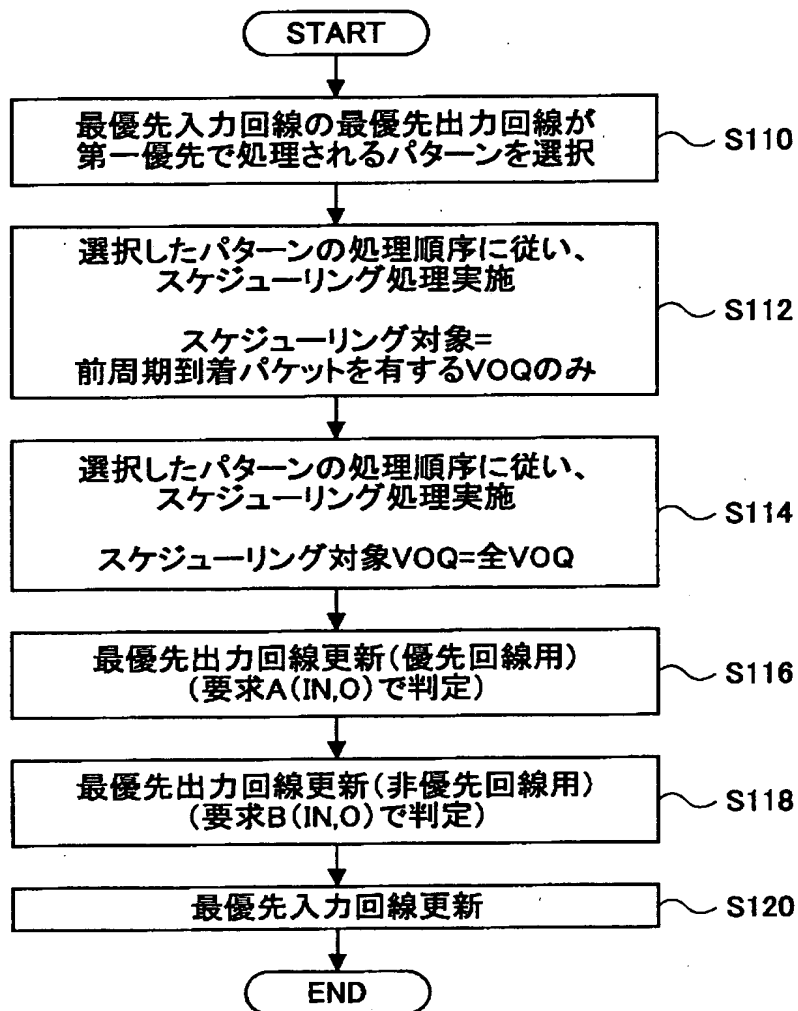
【図 1 6】

優先スケジューリング順次処理の第 1 実施例
のフローチャート



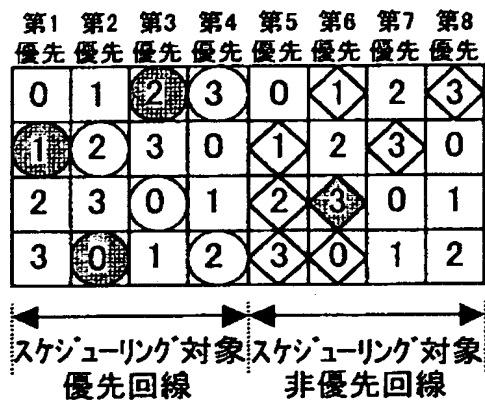
【図 1 7】

優先スケジューリング順次処理の第 2 実施例
のフローチャート



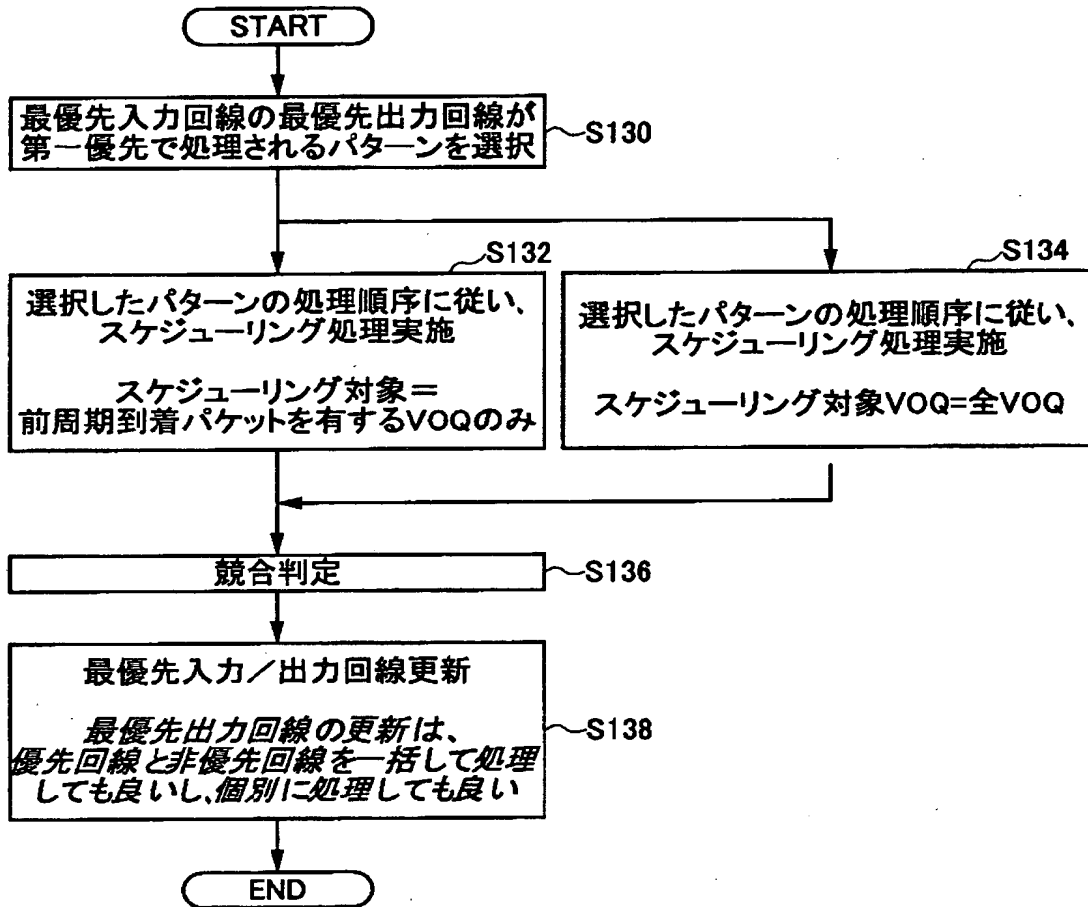
【図 1 8】

優先スケジューリング順次処理の第 1 実施例の
動作例を説明するための図



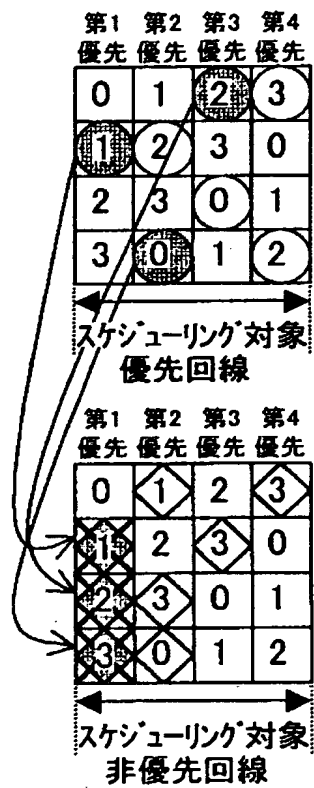
【図 19】

優先スケジューリング並列処理の第1実施例のフローチャート



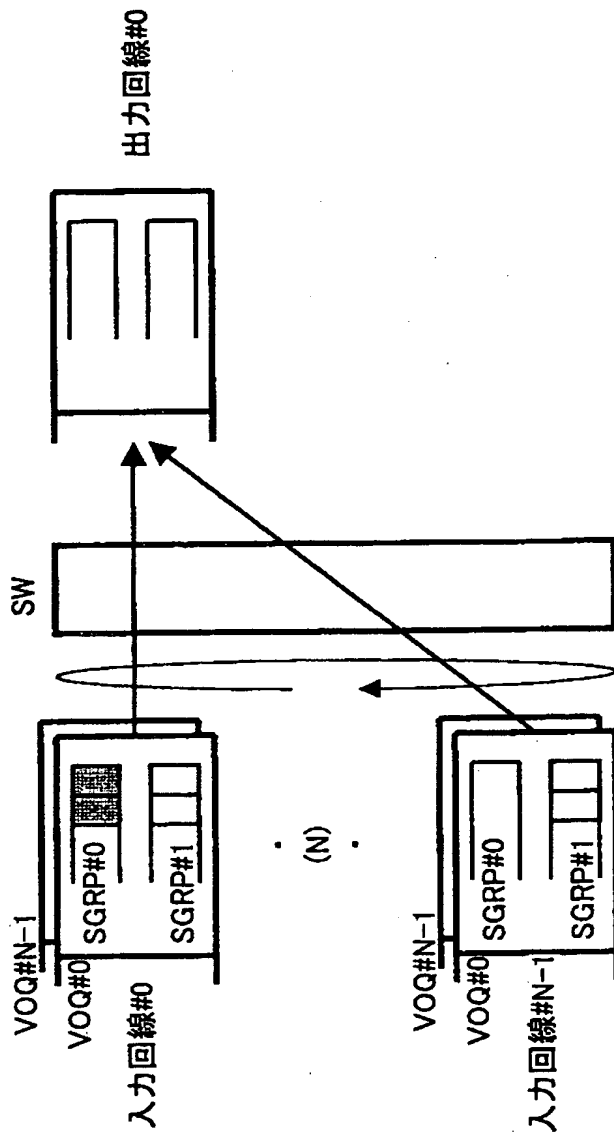
【図 2 0】

優先スケジューリング並列処理の第 1 実施例の
動作例を説明するための図



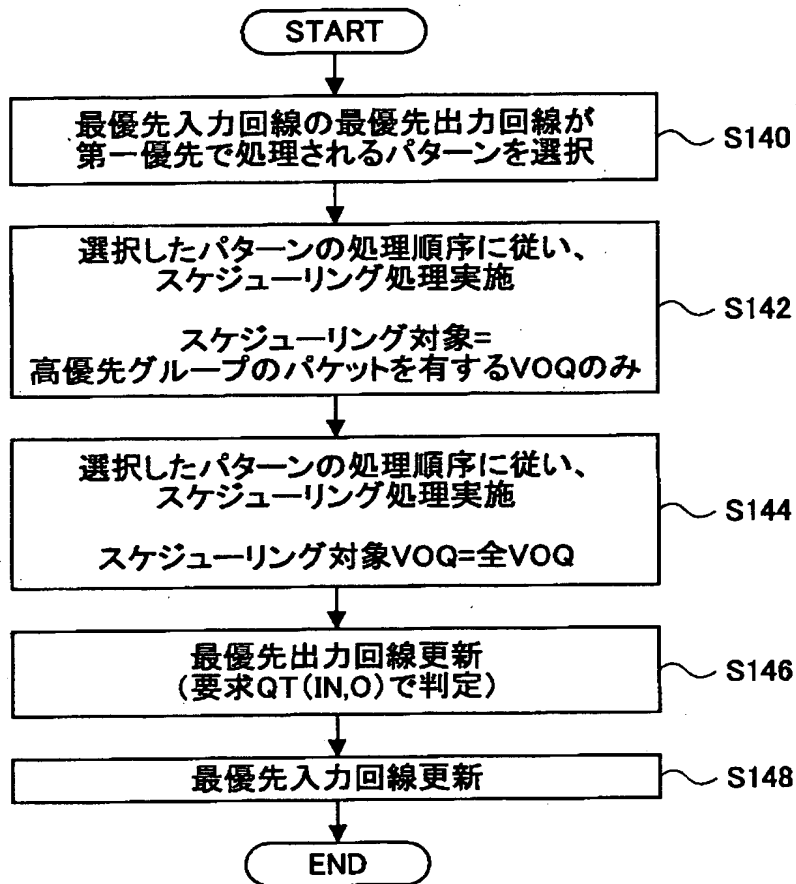
【図 2 1】

異なる入力回線間で優先的に優先回路を選択する
第 3 実施例の説明するための図



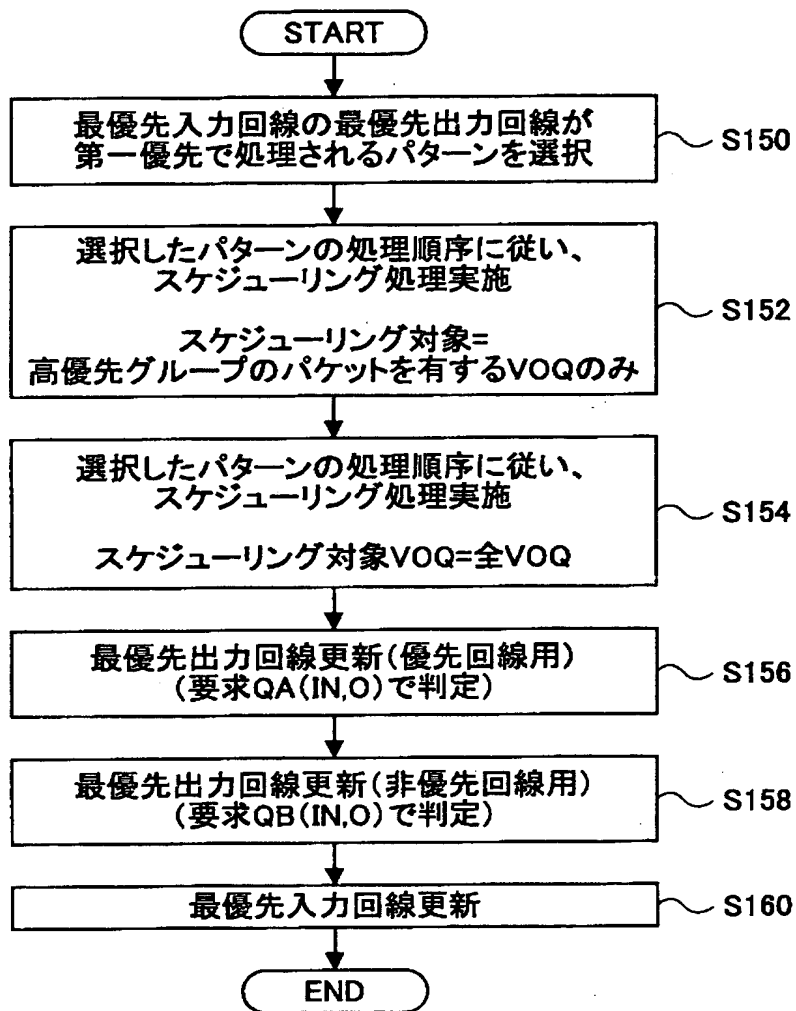
【図 2 2】

優先スケジューリング順次処理の第 3 実施例
のフローチャート



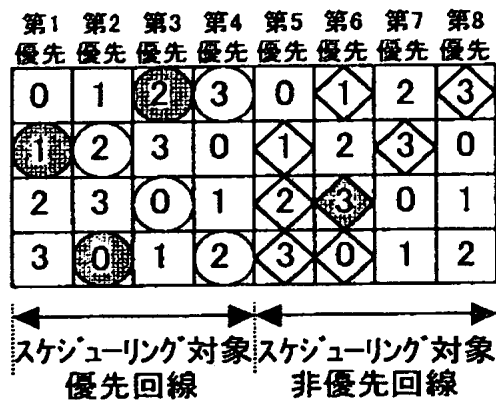
【図 2 3】

優先スケジューリング順次処理の第 4 実施例
のフローチャート



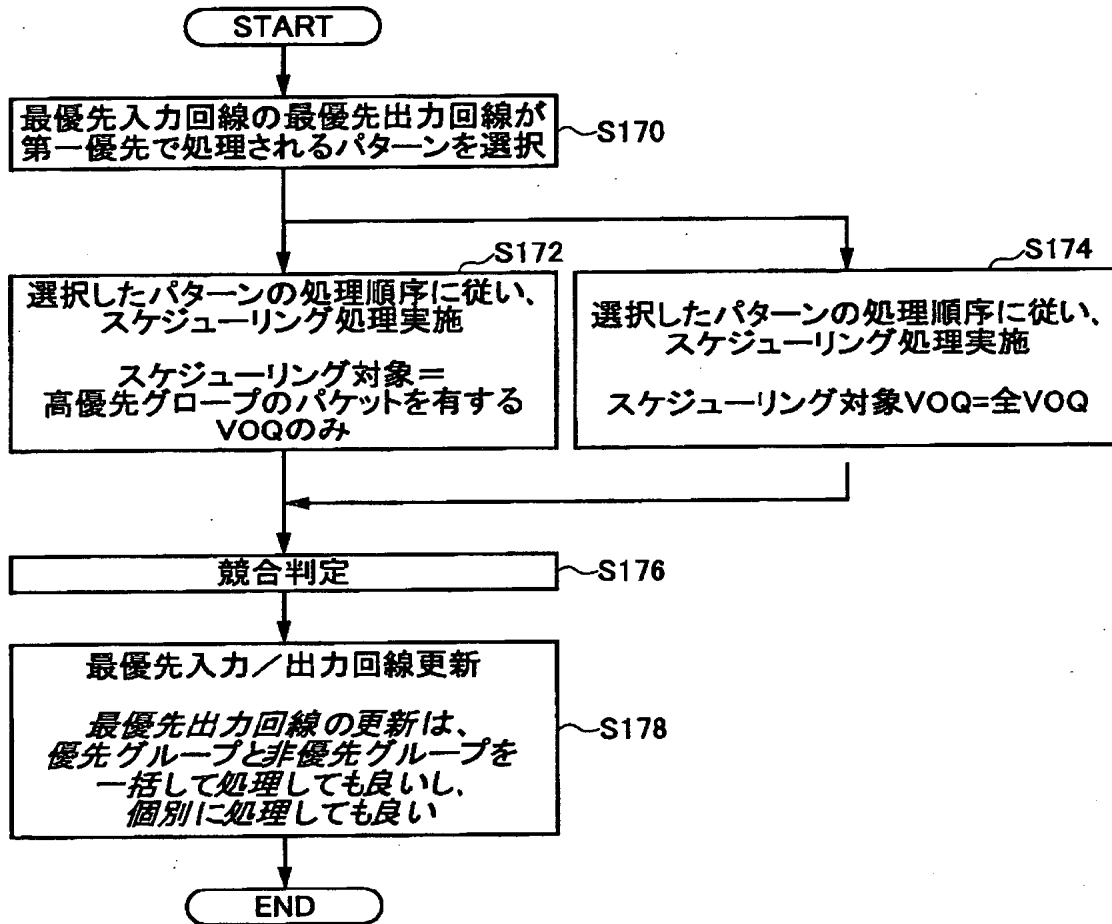
【図 2 4】

優先スケジューリング順次処理の第 3 実施例の
動作例を説明するための図



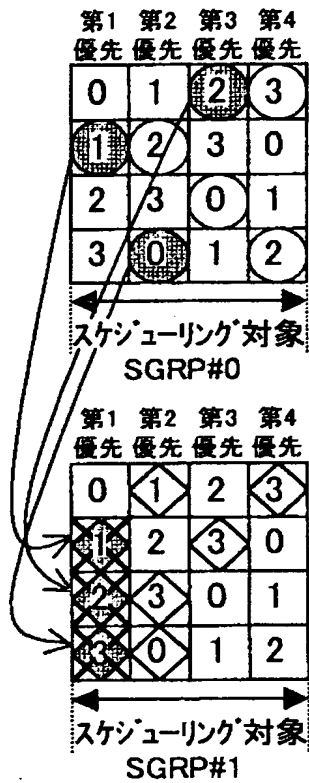
【図 25】

優先スケジューリング並列処理の第2実施例のフローチャート



【図 26】

優先スケジューリング並列処理の第2実施例の動作例を説明するための図



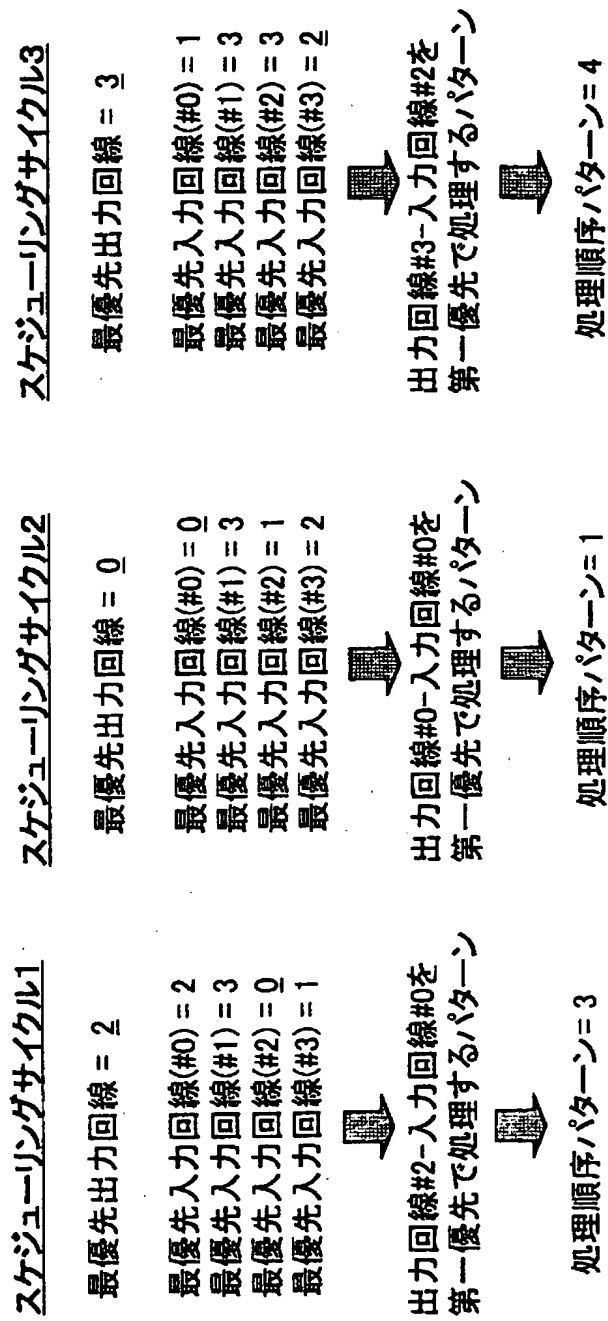
【図 2 7】

本発明方法の第 4 実施例を説明するための図

出力回線#	第1 優先	第2 優先	第3 優先	第4 優先	パターン
	0	1	2	3	
	1	2	3	0	
	2	3	0	1	
出力回線#0	0	1	2	3	パターン1
出力回線#1	1	2	3	0	
出力回線#2	2	3	0	1	
出力回線#3	3	0	1	2	
出力回線#	第1 優先	第2 優先	第3 優先	第4 優先	パターン
	0	1	2	3	
	1	2	3	0	
	2	3	0	1	
出力回線#0	1	2	3	0	パターン2
出力回線#1	2	3	0	1	
出力回線#2	3	0	1	2	
出力回線#3	0	1	2	3	
出力回線#	第1 優先	第2 優先	第3 優先	第4 優先	パターン
	0	1	2	3	
	1	2	3	0	
	2	3	0	1	
出力回線#0	2	3	0	1	パターン3
出力回線#1	3	0	1	2	
出力回線#2	0	1	2	3	
出力回線#3	1	2	3	0	
出力回線#	第1 優先	第2 優先	第3 優先	第4 優先	パターン
	0	1	2	3	
	1	2	3	0	
	2	3	0	1	
出力回線#0	3	0	1	2	パターン4
出力回線#1	0	1	2	3	
出力回線#2	1	2	3	0	
出力回線#3	2	3	0	1	

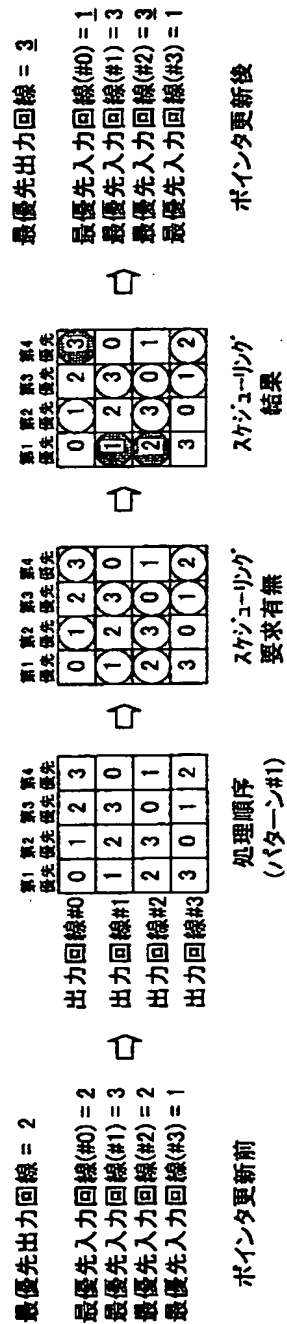
【図 2 8】

本発明方法の第 4 実施例を説明するための図



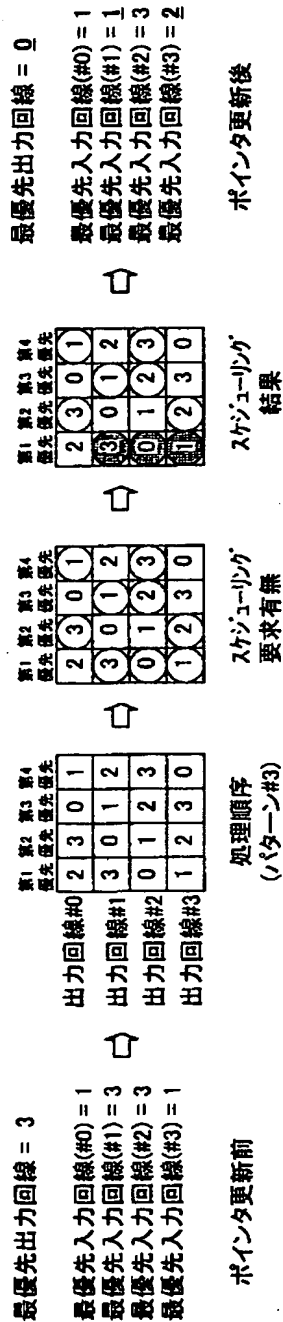
【図 29】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図



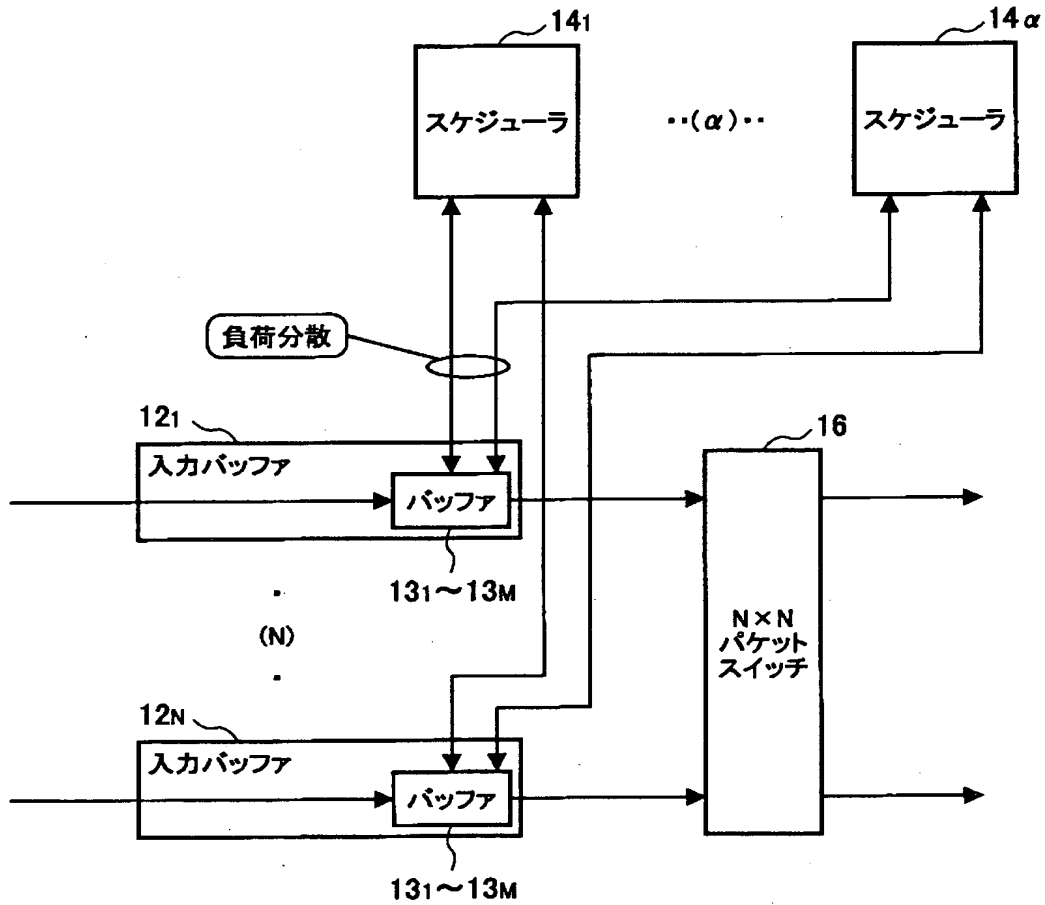
【図 30】

スケジューリングサイクル毎のポインタ初期値、使用処理パターン、スケジューリング要求の有無、スケジューリング結果、ポインタ更新後のポインタ値を示す図



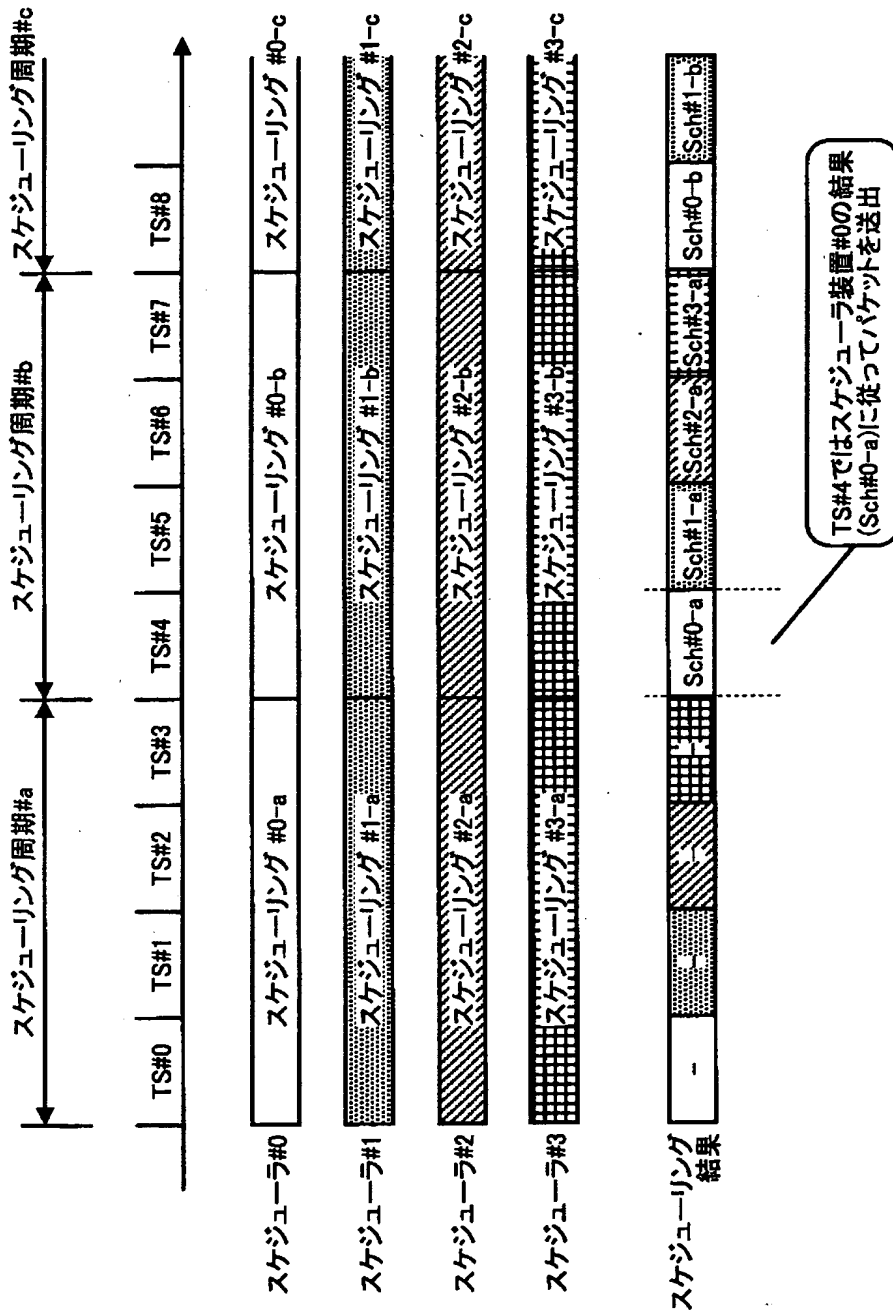
【図 31】

本発明の入力バッファ型スイッチの第2実施例の構成図



【図 3 2】

4つスケジューラの処理イメージとパケット送出
の関係を示す図



【書類名】 要約書

【要約】

【課題】 本発明は、スケジューリング処理時間の短縮化と、公平なスケジューリング処理の両方を実現するスケジューリング方法及びその装置を提供することを目的とする。

【解決手段】 複数の入力回線間でスケジューリング対象の異なる複数の処理順序を有し、最優先入力回線の最優先出力回線が第 1 優先で処理される処理順序に従って全入力回線のスケジューリング処理を並列に処理し、スケジューリングサイクル毎に最優先入力回線および各入力回線の最優先出力回線を更新することにより、各入力回線が最優先回線になったとき、自入力回線内の最優先出力回線を必ず確定することができ、単一の入力回線に着目して見れば、その入力回線内の出力回線が均等に選択されるため、入力回線間の順序が固定的であっても、公平なスケジューリングを行うことが可能となり、また同時に、並列処理により処理時間の短縮が図れ、高速なスケジューリングが可能となる。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社